

#1000000  
3/22/01  
K. Powell

JO575 U.S. PTO  
09/756269  
01/09/01

### In re Application of

•  
•  
•  
•  
•  
•  
•  
•  
•  
•

**Group Art Unit:**

**Examiner:**

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Sir:

**Japanese Patent Application No. 2000-004366,  
filed January 13, 2000**

Respectfully submitted,

**Stephen A. Becker**  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:klm  
**Date: January 9, 2001**  
Facsimile: (202) 756-8087

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

49657-935  
JANUARY 9, 2001  
110H

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 1月13日

出願番号

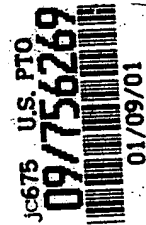
Application Number:

特願2000-004366

出願人

Applicant(s):

三菱電機株式会社

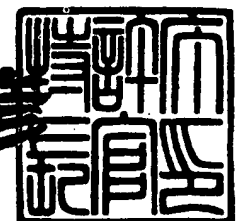


CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 2月 4日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



出証番号 出証特2000-3004150

【書類名】 特許願

【整理番号】 520254JP01

【提出日】 平成12年 1月13日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 7/52

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 伊藤 仁一

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 乗算装置

【特許請求の範囲】

【請求項 1】 多ビット乗数と多ビット被乗数との乗算を行なうための乗算装置であって、

前記乗数をブースアルゴリズムに従ってデコードして複数の選択制御信号を生成するためのブースエンコーダと、

前記ブースエンコーダからの複数の選択制御信号各々と前記多ビット被乗数とから複数の部分積を生成するブース選択回路、および

前記ブース選択回路の生成する複数の部分積をツリー状に加算して部分積数を順次低減して最終中間乗算値を生成するための中間積生成回路を備え、前記中間積生成回路は、前記多ビット乗数の所定のビット位置で 2 つの分割アレイに分割される分割アレイ構造を有し、前記 2 つの分割アレイが、個別に前記最終中間乗算値をそれぞれ生成し、かつ前記分割アレイの各々は、前記ツリー状に加算するように配置される複数段の加算回路およびブース選択回路を含み、

前記中間積生成回路からの前記最終中間乗算値を加算して前記多ビット乗数と前記多ビット被乗数の乗算値を生成する最終加算回路を備える、乗算装置。

【請求項 2】 前記分割アレイは、前記複数の選択制御信号の伝達方向と直交する方向に整列して配置され、

前記最終加算回路は前記分割アレイの間に配置され、

前記分割アレイ各々の加算回路のツリーアレイは前記最終加算回路へ向かう方向に沿ってツリー状に加算を行なう、請求項 1 記載の乗算装置。

【請求項 3】 前記複数段の加算回路は互いにビット幅の異なる加算回路を備え、

前記複数段の加算回路は、一方端が整列し、かつ他方端が個々のビット幅に応じて位置が異なるように対応の分割アレイ内に配置され、

前記ブースエンコーダは、前記他方端側に配置される、請求項 2 記載の乗算装置。

【請求項 4】 前記ブースエンコーダは、前記最終加算回路を間に挟むよう

に分割して配置される、請求項 3 記載の乗算装置。

【請求項 5】 前記多ビット被乗数を受けて前記ブース選択回路へ与える被乗数発生回路をさらに備え、前記被乗数発生回路は前記分割アレイの間に配置される、請求項 1 から 4 のいずれかに記載の乗算装置。

【請求項 6】 前記分割アレイは、前記複数の選択制御信号の伝達方向に関して整列して配置され、前記分割アレイは、それぞれ、同一方向に沿って部分積をツリー状に加算する複数段の加算回路を含む、請求項 1 記載の乗算装置。

【請求項 7】 前記ブースエンコーダは、前記分割アレイの各々に対面するように分割して配置される、請求項 6 記載の乗算装置。

【請求項 8】 前記分割アレイの各々は、互いにビット幅の異なる複数段の加算回路を含み、

前記複数段の加算回路は一方側が整列して配置され、

前記他方端側に、前記分割されて配置されるブースエンコーダがそれぞれ配置される、請求項 7 記載の乗算装置。

【請求項 9】 前記分割されて配置されるブースエンコーダは、前記分割アレイに関して対向する側に配置される、請求項 8 記載の乗算装置。

【請求項 10】 前記分割されて配置されるブースエンコーダは、前記分割アレイの間に配置される、請求項 8 記載の乗算装置。

【請求項 11】 前記多ビット被乗数を前記ブース選択回路へ与えるための被乗数データ発生回路をさらに含み、

前記被乗数データ発生回路は、前記分割アレイに共通に、かつ前記分割アレイの一方に対面して配置される、請求項 6 記載の乗算装置。

【請求項 12】 前記多ビット被乗数を前記ブース選択回路へ与えるための被乗数データ発生回路をさらに備え、

前記被乗数データ発生回路は、前記分割アレイの間の領域に配置される、請求項 6 記載の乗算装置。

【請求項 13】 前記多ビット被乗数を前記ブース選択回路へ与えるための被乗数データ発生回路をさらに備え、

前記被乗数データ発生回路は、前記分割アレイ間の領域に配置される、請求項

9 記載の乗算装置。

【請求項 1 4】 前記多ビット被乗数を前記ブース選択回路へ与えるための被乗数データ発生回路をさらに備え、

前記被乗数データ発生回路は、分割ブースエンコーダに隣接して前記分割アレイ間の領域に配置される、請求項 1 0 記載の乗算装置。

【請求項 1 5】 前記被乗数発生回路は、前記分割アレイの前記選択制御信号の伝達方向と直交する方向の高さに応じた高さを有するように分割構造とされる、請求項 1 2 から 1 4 のいずれかに記載の乗算装置。

【請求項 1 6】 前記最終加算回路は、前記分割アレイに共通に設けられ、かつ前記分割アレイからの最終中間積を加算して最終積を生成する、請求項 6 記載の乗算装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、乗算装置に関し、特に、ブースアルゴリズムに従って乗数をエンコードし、ワレスツリー型加算回路を用いて部分積を加算して乗数と被乗数の積を求めるワレスツリー型乗算装置に関する。

【0 0 0 2】

【従来技術】

コンピュータなどを用いる演算処理装置において、乗算は最も多く行なわれる演算の 1 つであり、高速の演算処理システムを構築するためには、この乗算装置の高速化が必要不可欠である。乗算装置を構成する方法には種々の方法があるが、キャリーセーブ方式を用いる乗算装置とワレスツリーを用いた乗算装置が広く知られている。

【0 0 0 3】

図 1 2 (A) は、従来の並列乗算回路の部分の構成を概略的に示す図である。図 1 2 (A) においては、乗数ビット  $Y(j-1) - Y(j+2)$  を被乗数ビット  $X(i-1) - X(i+2)$  の 4 ビットの乗算を行なう部分の構成を示す。

【0 0 0 4】

図 1 2 (A) において、乗数ビット  $Y(j-1) - Y(j+2)$  と被乗数ビット  $X(i-1) - X(i+2)$  の交差部にそれぞれ対応して乗算単位回路 UM が配置される。乗数ビット  $Y(j-1) - Y(j+2)$  それぞれに対応して配置される乗算単位回路の行により、部分積  $PP0 - PP3$  が生成される。この部分積  $PP0 - PP3$  を桁合わせして加算することにより、乗数ビット  $Y(j-1) - Y(j+2)$  と被乗数ビット  $X(i-1) - X(i+2)$  の乗算結果が得られる。図 1 2 (A) において、列方向 (図 1 2 (A) の縦方向) に整列して配置される乗算単位回路 UM が、同一桁に整列して配置される。各乗算単位回路 UM のキャリーは次列の 1 桁上位の乗算単位回路 UM へ与えられる。

## 【 0 0 0 5 】

図 1 2 (B) は、図 1 2 (A) に示す乗算単位回路 UM の構成を概略的に示す図である。図 1 2 (B) において乗算単位回路 UM は、乗数ビット  $Yb$  と被乗数ビット  $Xa$  を受ける AND 回路 9 0 0 と、AND 回路 9 0 0 の出力ビットと前段の乗算単位回路のサム出力  $Si_n$  と、同一段の下位桁の乗算単位回路からのキャリー入力  $Ci_n$  とを加算して、サム出力  $S$  およびキャリー出力  $Co_u_t$  を生成する全加算器 9 0 2 を含む。AND 回路 9 0 0 からは、ビット  $Xa$  および  $Yb$  の乗算結果  $Xa \cdot Yb$  が出力される。

## 【 0 0 0 6 】

この図 1 2 (B) に示す乗算単位回路をアレイ状に配置して構成される図 1 2 (A) に示す並列乗算回路は、単に、ビット  $X(i-2) - X(i+2)$  および乗数ビット  $Y(j-1) - Y(j+2)$  を乗算して加算するだけである。図 1 2 (A) に示す並列乗算回路は、図 1 2 (B) に示す乗算単位回路 UM をアレイ状に規則的に配置するだけであり、レイアウトが容易であり、また設計に要する期間を短縮することができ、集積回路化に適した構成を有している。

## 【 0 0 0 7 】

しかしながら、このキャリーセーブ方式の並列乗算回路においてはキャリーを上位桁へ伝達し、同一列 (部分積) 内ではキャリー伝搬はなく高速である。しかし、計算時間が乗数  $Y$  のビット数に比例するため (部分積の数が乗数ビットの数に比例する)、多ビット乗算を行なう場合、計算時間が長くなるという問題があ



り、たとえば54ビットのなどの多ビットの演算が要求されるマイクロプロセッサ等に対しては、図12(A)に示す並列乗算回路の構成は適しているとはいえない。

#### 【0008】

この図12(A)に示す並列乗算回路の欠点を解消するために、同一桁内並列加算方式と呼ばれる方式が用いられ、計算の並列度を高くすることが行なわれる。

#### 【0009】

図13は、従来の並列乗算回路の他の構成を概略的に示す図である。図31においても、乗数Yの4ビット $Y(j-1) - Y(j+2)$ と被乗数Xのビット $X(i-1) - X(i+2)$ の部分の構成を示す。この図13に示す並列乗算回路の構成においては、加算段P0-P3において、その加算結果を示すサム出力は、次段ではなく、次の次の段の乗算単位回路UMへ与えられる。すなわち1段の加算段を飛越してサム出力が伝達される。この図13に示す並列乗算回路は、同一桁内において並列に演算することのできる加算の数を増加させ、演算速度を高くすることを図る。これは、一般に「桁内並列加算方式」と呼ばれる。キャリーセーブ方式は、さらに各加算段におけるキャリーを、次段の加算段の1つ上位桁の乗算単位ユニットへ与え、同一加算段内での、キャリーの伝搬を停止する。

#### 【0010】

しかしながら、この図13に示す構成では、図12(A)に示す並列乗算回路の構成に比べて、各乗算単位回路のサム出力を伝達する信号線の配線長が約2倍程度長くなる（加算段2段分サム出力を伝達する必要があるため）。一般に、配線遅延は、その配線長の二乗に比例することが知られており、したがって、この図13に示す構成における配線遅延は、図12(A)に示す並列乗算回路のその2倍となり、この桁内並列加算方式の乗算回路の配線遅延を低減するために、たとえば特開昭63-55627においては、この乗算器アレイを2分割する構成が提案されている。

#### 【0011】

図14は、上述の特開昭63-55627に示される乗算装置の構成を概略的

に示す図である。図 1 4 において、乗算アレイが 2 つのブロック B L 1 および B L 2 に分割され、これらの乗算ブロック B L 1 および B L 2 の間に、最終段加算回路 F S A が配置される。ブロック B L 1 は、被乗数 X のビット  $X_0 - X_n$  と乗数 Y のビット  $Y_0 - Y_{(n/2)}$  についての部分積加算による乗算を行なう。乗算ブロック B L 2 においては、乗数 Y についてビット  $Y_{((n/2) - 3) - Y_n}$  と被乗数 X のビット  $X_0 - X_n$  の部分積の加算を行なう。

#### 【 0 0 1 2 】

ブロック B L 1 および B L 2 それぞれにおいては、キャリーセーブ加算方式で乗算回路が構成されており、各单位乗算回路のキャリー出力は、次段の加算回路の 1 ビット上位桁の単位乗算回路へ与えられる。ブロック B L 1 および B L 2 において個々に乗算が行なわれ、これらのブロック B L 1 および B L 2 の中間乗算結果が、最終段加算回路 F S A で加算されて乗数 Y と被乗数 X の乗算結果を示す出力が得られる。

#### 【 0 0 1 3 】

乗算ブロック B L 1 および B L 2 においては、サム出力が伝達される加算回路の段  $P_{j-1} \sim P_j$ ,  $P_{k-1} \sim P_{K+2}$  の数が低減され、配線遅延の影響をなくし、高速で乗算を行なうことを図る。しかしながら、この図 1 4 に示す構成では、乗算ブロック B L 1 および B L 2 においては、乗数 Y のビットに対応して加算回路を設ける必要があり、また各加算回路を介してキャリーが伝搬されるため、高速化に限度がある。

#### 【 0 0 1 4 】

また、この特開昭 6 3 - 5 5 6 2 7 号公報においては、加算回路の段数を低減するために、ブースアルゴリズムを利用することを述べている。しかしながら、このブースアルゴリズムを用いる場合でも、乗算器アレイは、キャリーセーブ方式であり、単に加算回路の段数が低減されるだけであり、高速化にも限度があり、5 4 ビットなどの多ビット乗算を行なう乗算器においては、この図 1 4 に示す構成を含めてキャリーセーブ加算方式はほとんど用いられない。また、この特開昭 6 3 - 5 5 6 2 7 号においては、乗算器アレイの分割構造のみが述べられており、乗数 Y および被乗数 X を、分割乗算ブロック B L 1 および B L 2 にどのよう

に与えるかについての具体的配置については何ら考察していない。

#### 【0015】

図15は、従来のワレスツリー型乗算装置の全体の構成を概略的に示す図である。この図15に示すワレスツリー型乗算装置の構成は、たとえば特開平9-231056号公報に示されている。図15において、ワレスツリー型乗算装置は、被乗数Xを格納する被乗数レジスタ回路1101と、乗数Yを格納する乗数レジスタ回路1102と、乗数レジスタ回路1102からの乗数Yを所定のブースアルゴリズムに従ってエンコードするブースエンコーダ1109と、ブースエンコーダ1109からの選択制御信号1104-1111それぞれに対応して設けられ、被乗数レジスタ回路1101からの乗数Xとブースエンコーダ1109からの選択制御信号1104-1111それぞれとに従って部分積を生成する部分積発生回路1113-1120と、部分積発生回路1113-1120からの部分積1121-1128を加算するワレスツリー部1129と、ワレスツリー部1129からの2つの中間積結果1130を加算して積を生成する最終加算部1131を含む。

#### 【0016】

ブースエンコーダ1109は、この乗数Yの所定数のビットに対応して設けられ、それぞれ所定のブースアルゴリズムに従ってエンコード動作を行なうブースエンコード回路1045-1052を含む。部分積発生回路1113-1120は、それぞれ被乗数Xの各ビットに対して所定のブースアルゴリズムに従って候補ビットを生成し、この生成した候補ビットから、対応のブースエンコード回路1045-1052からの選択制御信号1104-1111に従って候補ビットを選択して、部分積を生成する。

#### 【0017】

ワレスツリー部1129は、この部分積1121-1128をツリー状に順次数を低減して加算を行ない、8個の部分積1121-1128を2つの中間積1130にまで低減する。ブースアルゴリズムに従って乗数Yのビットを圧縮して、生成される部分積の数を低減し、次いでワレスツリー部1129で部分積の数を各段ごとに低減することにより、演算の高速化を図る。

## 【0018】

図16は、図15に示すワレスツリー部1129の構成を概略的に示す図である。図16においてワレスツリー部1129は、部分積発生回路1113-1120から生成された部分積（以下第0次部分積と称す）を加算するための4:2加算回路1141および1142と、これらの4:2加算回路1141および1142からの出力を加算して2つの中間積1130を生成する4:2加算回路1140を含む。4:2加算回路1138は、第0次部分積1121-1124を加算して、2つの中間積1141を出力する。4:2加算回路1139は第0次部分積1125-1128を加算して中間積1142を生成する。これらの4:2加算回路1138および1139は、4入力（I1-I4）2出力（キャリーCおよびサムS）の加算回路である。4:2加算回路1140も同様、4入力（I1-I4）2出力（キャリーCおよびサムS）の加算回路であり、4:2全加算回路1138および1139の出力を加算して、2つの中間積1130を生成する。

## 【0019】

したがって、8個の部分積を、2段の加算回路でツリー状に加算して中間積を生成して最終加算部1131へ与えることができる。ブースエンコーダ1103は、そのアルゴリズムに従って乗数Yのビット数を低減している（2次のブースアルゴリズムでは半減）。したがってこのブースアルゴリズムおよびワレスツリー構造を利用することにより、8個の0次部分積を第1次の部分積に圧縮し、次いでこの4個の部分積を2つの中間積に圧縮することができ、加算回路の段数が低減され、応じて高速で演算を行なうことができる。

## 【0020】

図17は、図16に示す4:2加算回路1138の構成を概略的に示す図である。図17において、4:2加算回路1138は、nビットの4入力2出力加算素子AE1-AEnを含む。これらの加算素子AE1-AEnの各々は、第0次部分積1124-1121の同一桁の4ビットを入力I1-I4に受け、かつ前段の加算素子のキャリー出力COをキャリー入力CIに受けて2ビットの加算結果CおよびSを出力する。2ビットの加算結果において、下位ビットがサムSで

表わされ、上位ビットがキャリーCで表わされる。これらの加算素子 $AE_1 - AE_n$ の2ビットの出力は、それぞれ並列に、第0次部分積1141として出力される。キャリーは、これらの加算素子 $AE_1 - AE_n$ を伝搬している。

#### 【0021】

このようなワレスツリーを用いて順次乗算を行なうことにより、8個の第0次部分積を4個の第1次部分積に圧縮し、次いで、これらの4個の第1次部分積を2つの2次部分積（中間積）に圧縮することができ、キャリーセーブ方式の並列乗算回路よりも加算回路の段数を大幅に低減することができる。

#### 【0022】

なお、この4入力2出力加算素子の具体的構成は、前述の先行技術特開平9-231056号公報にその一例が示されている。

#### 【0023】

一般に、コンピュータシステムにおいては、54ビット以上の乗算が行なわれる。この4:2加算回路を用いたワレスツリー型アレイ構成を54ビット乗算装置に適用した場合に考えられる構成を図18に示す。図18において、ワレスツリー型乗算装置は、乗数Yをブースアルゴリズムに従ってエンコードして選択制御信号を生成するブースエンコーダ1と、被乗数Xを格納する被乗数レジスタ回路2と、ブースエンコーダ1からの選択制御信号それぞれに対応して設けられ、被乗数レジスタ回路2からの被乗数Xと対応の選択制御信号とに従って第0次部分積を生成するブースセクタ3a-3αと、第0次部分積を加算して第1次部分積を生成する第1次4:2加算回路4a-4gと、加算回路4a-4bからの第1次部分積を加算して第2次部分積を生成する第2次4:2加算回路5a-5eと、第2次4:2加算回路5a-5eからの第2次部分積を加算して第3次部分積を生成する第3次4:2加算回路6aおよび6bと、6aおよび6bからの第3次部分積（最終中間積）を加算して最終加算結果すなわち乗数Yと被乗数Xの積Zを出力する最終加算回路7を含む。

#### 【0024】

図18においては、乗数Yおよび被乗数Xはともに54ビットである。2次のブースアルゴリズムに従った場合、部分積の積は、乗数Yのビット数の1/2に

低減される。ここで、2 次のブースアルゴリズムは、一般に次式で表わされる。

【0 0 2 5】

$$Z = X \cdot \sum (y(2j) + y(2j+1) - 2 \cdot y(2j+2)) \cdot 2^{2j}$$

ここで、総和は、 $j = 0 \sim n/2 - 1$  について行なわれる。すなわち、乗数 Y の隣り合う 3 ビットを同時に見ることにより、被乗数 X に掛け合わされて形成される部分積を半分にすることができる。また、隣接する 3 ビット  $y(2j)$ 、 $y(2j+1)$  および  $y(2j+2)$  の値に応じて、加算されるべき部分積は、 $\pm 2 \cdot X$ 、 $\pm X$ 、および 0 のいずれかである。ブースセクタ 3 a - 3  $\alpha$  は、ブースエンコーダ 1 に含まれるブースエンコード回路 1 a - 1  $\alpha$  からの選択制御信号に従った被乗数 X のシフト／反転により、選択制御信号が指定する部分積を生成する。ここで、 $2 \cdot X$  は、1 ビット左シフト操作により実現され、 $-X$  は、2 の補数演算により、全ビット値の反転に 1 を加えることにより実現される。

【0 0 2 6】

ブースセクタ 3 a - 3  $\alpha$  それぞれにおいて生成された第 0 次部分積を第 1 次 4 : 2 加算回路 4 a - 4 g で加算する。すなわち、ブースセクタ 3 a および 3 b の生成する第 0 次部分積は、第 1 次 4 : 2 加算回路 4 a で加算される。ブースセクタ 3 c - 3 f の生成する第 0 次部分積は、第 1 次 4 : 2 加算回路 4 b で加算される。ブースセクタ 3 b - 3 j の生成する第 0 次部分積は、第 1 次加算回路 3 k で加算される。ブースセクタ 3 k - 3 n が生成する第 0 次部分積は、第 1 次 4 : 2 加算回路 4 b で加算される。

【0 0 2 7】

ブースセクタ 3 o - 3 r が生成する第 0 次部分積は、第 1 次 4 : 2 加算回路 4 e で加算される。ブースセクタ 3 s - 3 v が生成する第 0 次部分積は、第 1 次 4 : 2 加算回路 4 f で加算される。ブースセクタ 3 w - 3 z が生成する第 0 次部分積は、第 1 次 4 : 2 加算回路 4 g で加算される。ブースセクタ 3  $\alpha$  が生成する第 0 次部分積については、加算は行なわれない。

【0 0 2 8】

第 1 次 4 : 2 加算回路 4 a および 4 b のそれぞれの生成する第 1 次部分積は、第 2 次 4 : 2 加算回路 5 a で加算される。第 1 次 4 : 2 加算回路 4 c および 4 d

の生成する第1次部分積は、第2次4:2加算回路5bで加算される。第1次4:2加算回路4eおよび4fの生成する第1次部分積は、第2次4:2加算回路5cで加算される。第1次4:2加算回路4gの生成する第1次部分積とブースセクタ3αの生成する第0次部分積は、第2次4:2加算回路5eで加算される。

#### 【0029】

第2次4:2加算回路5aおよび5bの生成する第2次部分積は、第3次4:2加算回路6aで加算される。第2次4:2加算回路5cおよび5dの生成する第2次部分積は、第3次4:2加算回路6bで加算される。

#### 【0030】

第3次4:2加算回路6aおよび6bの生成する第3次部分積が、最終積加算回路7で加算され、最終加算結果を示す積Zが最終加算回路7から出力される。一般に、加算回路は、その次数が増大するにつれてビット幅が大きくなる。

#### 【0031】

このワレスツリー型乗算装置において、桁合わせをして加算器を配置した場合、配線が錯綜するため、図18に示すように、ブースセクタ3a-3αおよび4:2加算回路4a-4g、5a-5d、および6aおよび6bはすべて、その一方端が整列して配置される。これにより、配線が単に通過する空き領域などを詰めて、乗算装置の占有面積を低減する。

#### 【0032】

この図18に示すワレスツリー型乗算装置において、部分積が順次半減されており、加算回路の段数がキャリーセーブ型の乗算回路に比べて大幅に低減され、キャリーセーブ型乗算装置に比べて高速に乗算を行なうことができる。

#### 【0033】

##### 【発明が解決しようとする課題】

この図18に示すワレスツリー型乗算装置においては、加算器から生成される部分積の伝搬方向は、図18の被乗数レジスタ回路2から最終加算回路7に向かって一方方向である。したがって、演算は各加算段において並列に実行されるものの、演算のクリティカルパスは、図18に矢印で示すように、被乗数レジスタ

2 からブースセクタ 3 a より第 0 次部分積が生成され、次いで第 1 次 4 : 2 加算回路 4 a で加算され、次いで第 2 次 4 : 2 加算回路 5 a で加算されて第 2 次部分積が生成され、次いで第 3 次 4 : 2 加算回路 6 a で加算されて生成される第 3 次部分積が最終加算回路 7 に到達するまでの経路となる。この部分積加算器は、図 18 の横方向に最低 54 ビットを必要とし、このクリティカルパスの経路は、ブースセクタ 27 段、第 1 次 4 : 2 加算回路 7 段、第 2 次 4 : 52 加算回路 4 段、第 3 次 4 : 2 加算回路 2 段、および最終加算回路 1 段の合計 41 段で構成される。

#### 【0034】

各段において出力を高速で生成するために、構成要素のトランジスタのサイズ (MOS トランジスタの場合チャネル幅とチャネル長の比) を大きくすると、乗算装置のこの乗算アレイの面積が増加する。したがって、高集積化の観点から、構成要素のトランジスタのサイズは必要最低限のサイズとしている。この第 3 段 4 : 2 加算回路 6 a から最終段加算回路 7 へ、乗算アレイの  $1/2$  の長さの距離にわたって第 3 次部分積を伝達する必要がある、この間の信号伝搬遅延が増加し、高速で乗算を行なうことができなくなるという問題が生じる。

#### 【0035】

またブースセクタ 3 a - 3 α により生成した第 0 次部分積は、各段の加算回路で加算されるため、この加算回路の次数が大きくなるほど、加算回路のビット幅が増加し、この 54 ビット乗算装置の場合、最終段加算回路 7 のビット幅が、80 ビット程度になる。乗算装置においては、レイアウト面積をできるだけ小さくするため、この乗算アレイの一方端は整列して配置され、はみ出した部分は、乗算装置の他方側にレイアウトされる。したがって、この領域における空き領域の面積分布が単調増加または単調減少のように規則的とならず、不規則となり、他回路を容易にレイアウトすることができず、空き領域として放置されるため、レイアウトエリア使用効率が低く、高集積化された乗算装置を得ることができないという問題があった。

#### 【0036】

それゆえ、この発明の目的は、高速で乗算を行なうことのできるワレスツリー



型乗算装置を提供することである。

【 0 0 3 7 】

この発明の他の目的は、面積使用効率の優れたかつ高速動作するワレスツリー型乗算装置を提供することである。

【 0 0 3 8 】

【課題を解決するための手段】

請求項 1 に係る乗算装置は、多ビット乗数をブースアルゴリズムに従ってデコードして複数の選択制御信号を生成するためのブースエンコーダと、このブースエンコーダからの複数の選択制御信号各々と多ビット被乗数とから複数の部分積を生成するブース選択回路と、この複数のブース選択回路の生成する複数の部分積をツリー状に加算して部分積数を順次低減して最終中間乗算値を生成する中間積生成回路を備える。中間積生成回路は、ブースセレクタの出力の所定のビット位置で 2 つの分割アレイに分割される分割アレイ構造を有し、それらの分割アレイは個別に最終中間乗算値をそれぞれ生成し、かつ分割アレイの各々はツリー状に加算するように配置される複数段の加算回路およびブース選択回路を含む。

【 0 0 3 9 】

請求項 1 に係る乗算装置は、さらに、この中間積生成回路からの最終中間乗算値を加算して多ビット乗数と多ビット被乗数の乗算値を生成する最終加算回路を備える。

【 0 0 4 0 】

請求項 2 に係る乗算装置は、請求項 1 の分割アレイが選択制御信号の伝達方向と直交する方向に整列して配置され、最終加算回路は、分割アレイの間に配置される。分割アレイの加算回路ツリーアレイは、最終加算回路へ向かう方向に沿ってツリー状に加算を行なう。

【 0 0 4 1 】

請求項 3 に係る乗算装置は、請求項 2 の複数段の加算回路は、互いにビット幅の異なる加算回路を含み、複数段の加算回路は一方端が整列し、かつ他方端が個々のビット幅に応じて位置が異なるように対応の分割アレイ内に配置され、ブースエンコーダは、これらの分割アレイの他方端に配置される。

【0042】

請求項4に係る乗算装置は、請求項3のブースエンコーダが、この最終加算回路を間に挟むように分割して配置される。

【0043】

請求項5に係る乗算装置は、請求項1から4のいずれかの装置が多ビット被乗数を受けて複数のブース選択回路へ与える被乗数発生回路をさらに備える。この被乗数発生回路は分割アレイの間に配置される。

【0044】

請求項6に係る乗算装置は、請求項1の分割アレイが複数の選択制御信号の伝達方向に関して整列して配置され、分割アレイはそれぞれ同一方向に沿って部分積をツリー状に加算する複数段の加算回路を含む。

【0045】

請求項7に係る乗算装置は請求項6のブースエンコーダが分割アレイ各々に対面するように分割して配置される。

【0046】

請求項8に係る乗算装置は、請求項7の装置において分割アレイの各々が互いにビット幅の異なる複数段の加算回路を含み、これら複数段の加算回路は一方側が整列して配置され、各分割アレイの他方端側に分割ブースエンコーダが配置される。

【0047】

請求項9に係る乗算装置は、請求項8の分割ブースエンコーダが、分割アレイに関して対向する側にそれぞれ配置される。

【0048】

請求項10に係る乗算装置は請求項8の分割ブースエンコーダは、分割アレイの間に配置される。

【0049】

請求項11に係る乗算装置は請求項6の装置がさらに多ビット被乗数を複数のブース選択回路へ与えるための被乗数データ発生回路を含み、この被乗数データ発生回路は分割アレイに共通にかつ分割アレイの一方に対面して配置される。

## 【 0 0 5 0 】

請求項 1 2 に係る乗算装置は、請求項 6 の装置がさらに多ビット被乗数をブース選択回路へ与えるための被乗数データ発生回路をさらに備え、この被乗数データ発生回路は分割アレイの間の領域に配置される。

## 【 0 0 5 1 】

請求項 1 3 に係る乗算装置は、請求項 9 の装置が多ビット被乗数をブース選択回路へ与える被乗数データ発生回路をさらに備え、この被乗数データ発生回路は、分割アレイ間の領域に配置される。

## 【 0 0 5 2 】

請求項 1 4 に係る乗算装置は請求項 1 0 の装置がさらに多ビット被乗数をブース選択回路へ与えるための被乗数データ発生回路をさらに備える。この被乗数データ発生回路は、分割ブースエンコーダに隣接して分割アレイ間の領域に配置される。

## 【 0 0 5 3 】

請求項 1 5 に係る乗算装置は、請求項 1 2 から 1 4 のいずれかの被乗数発生回路は、分割アレイの選択制御信号の伝達する方向と直交する方向の高さに応じた高さを有するように分割構造とされる。

## 【 0 0 5 4 】

請求項 1 6 に係る乗算装置は、請求項 6 の最終加算回路が分割アレイに共通に設けられ、各分割アレイからの最終中間積を加算して最終積を生成する。

## 【 0 0 5 5 】

ワレスツリー型乗算装置において、乗算ツリーアレイを分割構造とし、かつ分割アレイ個々において乗算を行なうことにより、クリティカルパスの長さが低減され、高速の乗算が可能となる。

## 【 0 0 5 6 】

また、ブースエンコーダの配置領域を考慮することにより、加算回路のビット幅が異なる不規則な領域に、効率的にブースエンコーダを配置することができ、面積利用効率に優れた乗算装置を実現することができる。

## 【 0 0 5 7 】

## 【発明の実施の形態】

## 〔実施の形態 1〕

図 1 (A) は、この発明の実施の形態 1 に従う乗算装置の乗算アレイの構成を概略的に示す図である。図 1 (A) において、この乗算アレイ MA は、乗数 Y の特定のビット位置に応じて分割される 2 つの分割ワレスツリーアレイ DWA および DWB を含む。分割ワレスツリーアレイ DWA および DWB の間に最終加算回路 FNAD が配置される。分割ワレスツリーアレイ DWA および DWB は、この最終加算回路 FNAD 方向に加算結果を伝搬させる。したがって、乗算アレイ MA におけるワレスツリーの加算回路段は、分割ワレスツリーアレイ DWA および DWB により 2 分割されるため、部分積の加算結果を伝達する際のクリティカルパスの長さが低減され、高速で乗算を行なうことができる。

## 【0058】

なお、被乗数 X の最上位ビット位置は、分割ワレスツリーアレイ DWA および DWB の、図 1 (A) の右側にあってもよく、また左側にあってもよい。一方、乗数 Y については、分割ワレスツリーアレイ DWA および DWB それぞれにおける部分積加算信号伝搬方向 A および B について、下位ビットから上位ビットとなるように乗数 Y のビットが配置される。分割ワレスツリーアレイ DWA および DWB の加算回路の段数は好ましくは等しくされる。クリティカルパスの長さが 1 / 2 倍になる。

## 【0059】

## 〔変更例〕

図 1 (B) は、この発明の実施の形態 1 の乗算装置の変更例を概略的に示す図である。図 1 (B) においては、乗算アレイ MA は、被乗数 X ビットの伝達方向について並列に配置される分割ワレスツリーアレイ DWC および DWD に分割される。これらの分割ワレスツリーアレイ DWC および DWD に対し共通に最終加算回路 FNAD が配置される。

## 【0060】

分割ワレスツリーアレイ DWC は、乗数 Y a と被乗数 X の乗算を行ない、分割ワレスツリーアレイ DWD は、乗数 Y b と被乗数 X の乗算を行なう。乗数 Y は、

$Y a + Y b$ である（ビット位置が2分割される）。これらの分割ワレスツリーアレイDWCおよびDWDにおいては、加算回路の段数は好ましくは同じであり、かつ矢印CおよびDに沿って部分積加算信号が伝搬される。したがって、この場合においても、分割ワレスツリーアレイDWCおよびDWDの信号伝搬遅延のクリティカルパスは、図1（B）の矢印CおよびDの一方端から他方端までの全長であり、乗算アレイMAにおけるクリティカルパス（矢印C + Dに近似的に相当する）に比べて短くすることができ、高速の乗算を行なうことができる。

【0061】

なお、この図1（B）においても、乗数 $Y a$ および $Y b$ のいずれが上位ビットであってもよく、また被乗数 $X$ もその上位ビット位置は任意である。

【0062】

以上のように、この発明の実施の形態1に従えば、ワレスツリー構造の乗算アレイMAを乗数 $Y$ の特定のビット位置で分割ワレスツリーアレイに分割して個々に乗算を行ない、その分割ワレスツリーアレイの個々の乗算結果を最終加算回路で加算しており、信号伝搬のクリティカルパスを低減することができ、高速の乗算を行なう乗算装置が実現される。

【0063】

〔実施の形態2〕

図2は、この発明の実施の形態2に従う乗算装置の構成を概略的に示す図である。この図2以降において示すこの発明に従う乗算装置は、2次のブースアルゴリズムに従って54ビットの乗数 $Y$ および54ビットの被乗数 $X$ の乗算を行なう。

【0064】

図2において、乗算アレイは、分割アレイDWaおよびDWbに分割される。分割アレイDWaは、ブースエンコーダ1に含まれるブースエンコード回路 $1 a - 1 n$ からの選択制御信号に従って、被乗数レジスタ回路2からの被乗数データから第0次部分積を生成するブースセクタ $3 a - 3 n$ と、ブースセクタ $3 a - 3 n$ により生成される第0次部分積を加算して、第1次部分積を生成する第1次4 : 2加算回路 $4 a - 4 d$ と、これらの第1次4 : 2加算回路 $4 a - 4 d$ が形

成する第1次部分積を加算して第2次部分積を生成する第2次4:2加算回路5 aおよび5 bと、第2次4:2加算回路4 b-4 dからの第2次部分積を加算して第3次部分積を生成する第3次4:2加算回路6 aを含む。分割ワレスツリーアレイDW aにおいて、ブースセクタ3 a-3 nのシフト回路/インバータ回路を、1つの小さな四角い箱で示す。また加算回路4 a-4 d、5 a、5 bおよび6 aにおいて、単位加算器も、同様1つの小さな四角い箱で示す。

#### 【0065】

ブースエンコーダ1は、2次のブースアルゴリズムに従って選択制御信号を生成する。したがって、54ビットの乗数Yに対して27個のブースエンコード回路1 a-1 αが設けられる。このブースエンコーダ1においては、乗数Yのビット位置は、ブースエンコード回路1 nにより、その位置が逆転される。すなわち、ブースエンコード回路1 a-1 nは、それぞれ乗数Yの下位ビットから中位ビットに対応して配置される。一方、ブースエンコード回路1 o-1 αは、分割アレイDW bは、位置が逆転され、下方向から上方向に向かって中位ビットから上位ビットに対応するように配置される。

#### 【0066】

分割アレイDW bは、ブースエンコード回路1 o-1 αに対応して設けられ、対応のブースエンコード回路からの選択制御信号に従って、被乗数レジスタ回路2からの多ビット被乗数Xから第0次部分積を生成するブースセクタ3 o-3 αと、これらのブースセクタ3 o-3 αからの第0次部分積を加算して第1次部分積を生成する第1次4:2加算回路4 e-4 gと、第1次4:2加算回路4 e-4 gが生成する第1次部分積を加算して第2次部分積を生成する第2次加算回路5 cおよび5 dと、第2次4:2加算回路5 cおよび5 dの生成する第2次部分積を加算して第3次部分積を生成する第3次加算回路6 bを含む。

#### 【0067】

分割アレイDW aおよびDW bの間に最終加算回路7が配置され、乗算結果Zがこの最終加算回路7から出力される。

#### 【0068】

ここで、第2次4:2加算回路5 dがブースセクタ3 αとほぼ同じサイズを

有しているのは、以下の理由による。第2次部分積まで部分積を4:2の割合で順次圧縮していく場合、ブースセクタ3 $\alpha$ は、単に配線のみで第1次部分積を生成する。2次のブースアルゴリズムにおいては、第0次部分積は、互いに2ビットずつその桁位置が異なっている。したがって、第1次4:2加算回路4gとブースセクタ3 $\alpha$ の生成する第0次（擬似第1次）部分積を加算する場合、第2次4:2加算回路5dにおいては、加算する必要のない桁が存在する。この桁は、単に配線で形成され、加算器は配置されない。したがって、この第2次4:2加算回路5dは、他の第2次4:2加算回路よりもサイズが小さくされる。これについては後に詳細に説明する。

#### 【0069】

この乗算アレイにおいては、ブースセクタ3a-3 $\alpha$ ならびに4:2加算回路4a-4g、5a-5d、6a、6bおよび7が配置される。分割アレイDWaにおいて信号伝搬のクリティカルパスは矢印で示すように、ブースエンコード回路1aからブースセクタ3aの全シフト／インバータへ信号が伝達される時間と、ブースセクタ3aにおいて第0次部分積が生成されるまでに要する時間と、この第0次部分積が第1次4:2加算回路4aで加算されて第1次部分積を生成する時間と、この第1次部分積が第2次4:2加算回路5aで加算されて第2次部分積が生成される時間と、この第2次部分積が第3次4:2加算回路6aで加算されて第3次部分積が生成される時間と、この第3次部分積が最終加算回路へ伝達されるのに要する時間の和の遅延を有する。

#### 【0070】

一方、分割アレイDWbにおいて信号伝搬のクリティカルパスの遅延は、矢印で示すようにブースエンコード回路1oから選択制御信号および被乗数レジスタ回路2からの被乗数Xデータがブースセクタ3oへ伝達されるのに要する時間、このブースセクタ3oにおいて第0次部分積が生成されて第1次4:2加算回路4eへ伝達される時間、第1次4:2加算回路4eからの第1次部分積が生成され第2次4:2加算回路5cへ伝達される時間、および第2次4:2加算回路5cで第2次部分積が生成されて第3次4:2加算回路6bへ伝達されるのに要する時間と、この第3次4:2加算回路6bで第3次部分積が生成されて最終

加算回路 7 へ伝達されるのに要する時間の和である。したがって、この分割アレイ構造においては、クリティカルパスは、先の図 1 8 に示す構成に比べて大幅に短縮されており、また第 3 次 4 : 2 加算回路 6 a および 6 b からの最終加算回路 7 までの距離は短く、高速で最終加算回路 7 から最終積 Z を生成することができる。

#### 【 0 0 7 1 】

つまり、ブースエンコーダ 1 をほぼ二等分割し、乗算アレイの分割アレイ DW a および DW b もほぼ乗算アレイの二等分割構造とすることにより、信号伝搬のクリティカルパスの配線長をほぼ図 1 8 に示す乗算アレイのその 1 / 2 とすることができ、高速で乗算結果を生成することができる。

#### 【 0 0 7 2 】

図 3 は、図 2 に示す分割アレイ DW b のワレツツリーの構成を概略的に示す図である。図 3 において、この分割アレイ DW b においてブースセクタ 3 o - 3 α により生成された第 0 次部分積は、第 1 段加算回路 4 e, 4 f および 4 g により加算される。第 1 段加算回路 4 e および 4 f の生成する第 2 次部分積が、第 2 段加算回路 5 c で加算される。一方、第 2 段加算回路 5 d は、第 1 段加算回路 4 g と第 0 次部分積とを加算する。

#### 【 0 0 7 3 】

これらの第 2 段加算回路 5 c および 5 d が生成した第 2 次部分積が第 3 段加算回路 6 b で加算され、第 3 次部分積（最終部分積）が形成される。

#### 【 0 0 7 4 】

したがって、このツリー状加算により、第 0 次部分積から、第 1 次、第 2 次および第 3 次と生成される部分積の数を低減しかつ加算回路の段数低減によりキャリア伝搬の経路が短縮される。各段において並列に加算動作が実行される。

#### 【 0 0 7 5 】

図 4 は、この第 2 段加算回路 5 b に対する部分積の構成を概略的に示す図である。図 4 においては、最上位ビット MSB 側で、各部分積が位置合わせされている状態を一例として示す。ブースセクタ 3 w - 3 z により第 0 次部分積が生成される（図 1 8 参照）。第 2 次ブースアルゴリズムにおいては、各部分積は、2



ビットずつその位置が異なっている。したがって、ブースセクタ 3 w、3 x、3 y および 3 z でそれぞれ生成される第 0 次部分積は、2 桁ずつ位置がずれている。加算時には、これらの桁合わせをして加算が行なわれる。加算回路 4 g は、ブースセクタ 3 w - 3 z よりも、ビット幅が 2 つ大きい。一方、ブースセクタ 3  $\alpha$  が生成する第 0 次部分積は、ブースセクタ 3 z が生成する第 0 次部分積よりも 2 桁上位の部分積である。したがって、第 1 段加算回路（第 1 次 4 : 2 加算回路）4 g においては、下位に対応の桁が存在しない 4 : 2 加算回路においては、単に 2 入力しか与えられない場合、2 入力はそのままだけで出力されるため、単に配線が設けられるだけである。したがって、第 2 段加算回路 5 d においては、このブースセクタ 3  $\alpha$  の各桁位置に応じて、4 : 2 加算器を設け、第 1 段加算回路 4 g の生成する第 0 次部分積とブースセクタ 3  $\alpha$  の生成する第 0 次部分積の加算を行なう。したがって第 2 次 4 : 2 加算回路 5 d（第 2 段加算回路）において加算する必要がある桁が存在するため、乗算アレイ内において、第 2 次 4 : 2 加算回路 5 d のビット幅が、ブースセクタ 3  $\alpha$  のビット幅と同じとされ、これにより、できるだけ乗算アレイのビット幅を狭くする。しかしながら、一般にワレスツリーにおいてこのツリー状の加算が進むにつれてその加算結果のビット幅が大きくなり、ビット幅は拡張される。したがって図 2 に示すように、乗算アレイにおいては、各加算回路の水平方向の幅が不規則に分布する。

#### 【 0 0 7 6 】

以上のように、この発明の実施の形態 1 に従えば、ワレスツリー型乗算アレイを 2 分割し、それぞれで個々に乗算を行なった後、最終加算を行なっており、信号伝搬のクリティカルパスの配線長が半減され、高速で乗算を行なうことができる。

#### 【 0 0 7 7 】

##### 〔実施の形態 3〕

図 5 は、この発明の実施の形態 3 に従う乗算装置のアレイ部の構成を概略的に示す図である。図 5 において、この乗算装置は、乗算アレイが 2 つの分割アレイ DW a および DW b に分割される。この分割アレイ DW a および DW b の間に、

最終加算回路 7 が配置される。この構成は、先の図 2 に示す実施の形態 2 の構成と同じである。本実施の形態 2 においては、さらに、この最終加算回路 7 に隣接して、分割アレイ DW a および DW b の間に被乗数 X を受けて、ブースセクタ 3 a - 3 α へ共通に被乗数データを与える被乗数レジスタ回路 2 が配置される。被乗数レジスタ回路 2 は、したがって、分割アレイ DW a および DW b に対し反対方向に被乗数データを伝達する。

【 0 0 7 8 】

分割アレイ DW a および DW b に対応して、ブースエンコーダ 1 も、2 つの分割エンコーダ 1 A および 1 B に分割される。

【 0 0 7 9 】

この図 5 に示す構成において、分割アレイ DW a におけるクリティカルパスは、矢印で示すように、被乗数レジスタ回路 2 からブースセクタ 3 a に被乗数データが伝達され、そのブースセクタ 3 a において第 0 次部分積が生成され第 1 次 4 : 2 加算回路 4 a へ第 0 次部分積が伝達される経路、この第 1 次 4 : 2 加算回路 4 a において第 1 次部分積が形成されて第 2 次 4 : 2 加算回路 5 a へ伝達される経路、および第 2 次 4 : 2 加算回路 5 a において生成された第 2 次部分積が第 3 次 4 : 2 加算回路 6 a へ与えられる経路、およびこの第 3 次 4 : 2 加算回路 6 a から第 3 次部分積が形成されて最終加算回路 7 へ与えられる経路である。

【 0 0 8 0 】

一方、分割アレイ DW b においてクリティカルパスは、被乗数レジスタ回路 2 からの被乗数データがブースセクタ 3 o へ伝達される経路、このブースセクタ 3 o において、分割ブースエンコーダ 1 B からの対応の選択制御信号に従って第 0 次部分積を生成する経路、この第 0 次部分積が第 1 次 4 : 2 加算回路 4 e へ伝達される経路、第 1 次 4 : 2 加算回路 4 e から第 1 次部分積が第 2 次 4 : 2 加算回路 5 c へ伝達される経路、この加算回路 5 c からの第 2 次部分積が第 3 次 4 : 2 加算回路 6 b へ伝達される経路、および第 3 次 4 : 2 加算回路 5 d において第 3 次部分積が生成されて最終加算回路 7 へ伝達される経路である。

【 0 0 8 1 】

したがってこの図 5 に示す分割アレイ構造においては、被乗数レジスタ回路 2 からの被乗数データは分割アレイ DW a および DW b それぞれを伝達されるだけである。被乗数データをブースセクタ 3 a - 3 α へ伝達するために必要とされる時間を短縮することができ、応じて、信号伝搬遅延を低減して、高速で乗算を行なって乗算結果 Z を生成することができる。他の構成は、図 2 に示す構成と同じである。

#### 【 0 0 8 2 】

以上のように、この発明の実施の形態 3 に従えば、分割アレイの間に被乗数レジスタ回路を最終加算回路に隣接して配置しており、被乗数データ伝達経路の配線長を短くすることができ、応じて乗算時における信号伝搬のクリティカルパスの配線長を短縮することができ、高速の演算を行なうことができる。

#### 【 0 0 8 3 】

##### 〔実施の形態 4〕

図 6 は、この発明の実施の形態 4 に従う乗算装置の構成を概略的に示す図である。図 6 に示す構成においても、先の図 2 に示す実施の形態 1 と同様、乗算アレイは乗数 Y の特定のビット位置で、分割アレイ DW a および DW b に分割される。これらの分割アレイ DW a および DW b の間に最終加算回路 7 が配置される。分割アレイ DW a および DW b において、ブースセクタ 3 a - 3 α、第 1 次 4 : 2 加算回路 4 a - 4 g、第 2 次 4 : 2 加算回路 5 a - 5 d、および第 3 次 4 : 2 加算回路、および最終加算回路 7 は、その一方端が整列して配置される。ワレスツリーにおいては、そのツリー内を加算信号が伝搬するにつれ、加算回路のビット幅が大きくなる。しかしながら、この分割アレイ DW a および DW b のように、第 1 段加算回路、第 2 段加算回路および第 3 段加算回路を順次配置するのではなく、この加算結果の信号伝搬方向に沿って、第 1 次 4 : 2 加算回路、第 2 次 4 : 2 加算回路および第 3 次 4 : 2 加算回路を配置する場合、これらの加算回路の幅は、不規則に変化することになる。この加算回路のはみ出し領域に、分割アレイ DW a および DW b に対応して、分割ブースエンコーダ 1 a および 1 b を配置する。分割ブースエンコーダ 1 a および 1 b は、最終加算回路 7 を間に挟むように配置される。

## 【 0 0 8 4 】

分割アレイ構造においては、中央部に（分割アレイの境界領域）に最終加算回路が配置され、その最終加算回路 7 の両側に、最終部分積生成回路（第 3 段加算回路）が配置される。したがって、この乗算アレイの中央領域において分割アレイ内の加算回路のはみ出し部分が集中することになる。この領域に隣接して、分割ブースエンコーダ 1 a および 1 b を配置することにより、ブースエンコーダ 1 のブースエンコード回路 1 a - 1 α のサイズを同じとして配置することができ、はみ出し領域を効率的に利用したサイズの小さな乗算装置を実現することができる。

## 【 0 0 8 5 】

また、分割アレイ DW a および DW b は、二等分割構成の場合、最終加算回路 7 を軸として線対称の形となり、加算回路のレイアウトが容易となり、また、このはみ出し領域の形状も線対称となるため、分割ブースエンコード 1 A および 1 B を容易に配置することができる。

## 【 0 0 8 6 】

以上のように、この発明の実施の形態 4 に従えば、加算回路のはみ出し領域に隣接して分割ブースエンコーダを配置しており、面積利用効率の優れたサイズの小さな乗算装置を容易に実現することができる。また、実施の形態 1 と同様の効果も得ることができる。

## 【 0 0 8 7 】

なお、この実施の形態 4 においても、被乗数 X を受ける被乗数レジスタ回路 2 の、最上位ビット位置および最下位ビット位置はその両端のいずれの側にあってもよい。また、乗数 Y ( $Y < n : 0 >$ ) は、分割ブースエンコーダ 1 A に対し、乗数データ  $Y < k : 0 >$  が与えられ、分割ブースエンコーダ 1 B に対し乗数データ  $Y < n : k + 1 >$  が与えられる。各ブースエンコード回路が受ける乗数データビットの数は、用いられるブースアルゴリズムの数に応じて異なる。本実施の形態においては 2 次のブースアルゴリズムが用いられており、各ブースエンコード回路 1 a - 1 α それぞれに対し、3 ビットの乗数データが与えられる。この場合、配線により、分割ブースエンコード 1 B に対し、上位ビット位置および下位ビ

ット位置が変更される。

【0088】

〔実施の形態5〕

図7は、この発明の実施の形態5に従う乗算装置の構成を概略的に示す図である。この図7に示す乗算装置においては、先の実施の形態3と同様、分割アレイDWaおよびDWbの間に、最終加算回路7に隣接して、被乗数レジスタ回路2が配置される。分割アレイDWaおよびDWbにおいては、ブースセクタ3a-3αおよび第1段-第3段加算回路が一端を整列して配置される。他方端の加算回路の端部が不規則に配置される領域に、分割ブースエンコーダ1Aおよび1Bが、それぞれ分割アレイDWaおよびDWbに対応して配置される。この分割ブースエンコーダ1Aおよび1Bは、最終加算回路7を間に挟むように配置される。この図7に示す構成においては、先の実施の形態3の効果に加えて、さらに、加算回路が不規則にはみ出す領域に分割ブースエンコーダ1Aおよび1Bを配置しており、それらの分割ブースエンコーダ1Aおよび1Bのブースエンコード回路のサイズをすべて等しくして配置することができ、また最終加算回路7に関して分割アレイの構造が線対称であり、レイアウトが容易となる。したがって、面積利用効率の優れたサイズの小さい高速演算を行なうことのできる乗算装置を実現することができる。

【0089】

〔実施の形態6〕

図8は、この発明の実施の形態6に従う乗算装置の構成を概略的に示す図である。図8において、乗算アレイが並列に配置される2つの分割アレイDWcおよびDWdに分割される。分割アレイDWcは、ブースセクタ3a-3n、第1次4:2加算回路4a、第2次4:2加算回路5a、および第3次4:2加算回路6aを含む。分割アレイDWdは、ブースセクタ3o-3αと、第1次4:2加算回路4e-4gと、第2次4:2加算回路5cおよび5dと、第3次4:2加算回路6bを含む。これらの分割アレイDWcおよびDWdにおいては、そのアレイ境界領域において各ブースセクタおよび4:2加算回路の端部が整列して配置される。

## 【 0 0 9 0 】

分割アレイ DW d のブースセクタ 3 o に対面して、被乗数レジスタ回路 2 が配置され、分割アレイ DW d および DW c に被乗数 X のデータを共通に与える。

## 【 0 0 9 1 】

ブースエンコーダ 1 は、この分割アレイ DW c および DW d の並列配置に対応して、2 つの分割ブースエンコーダ 1 A および 1 B に分割される。分割ブースエンコーダ 1 A は、分割アレイ DW c の、加算回路の突出する領域に対面して配置される。この分割ブースエンコーダ 1 A においては、第 2 次 4 : 2 加算回路 5 a が、ブースセクタよりもそのビット幅が長く、この第 2 次 4 : 2 加算回路 5 a と衝突するのを防止するため、加算回路 4 b および 5 a と対面する領域においてブースエンコード回路の長さ方向のレイアウトの幅が広くされる。また、第 1 次 4 : 2 加算回路 4 a および 4 b の間のブースセクタに対面する領域においてブースエンコーダの幅方向の長さが長くされる。これらのブースエンコード回路を、この分割アレイ DW c の突出領域の形状に応じてレイアウトし、ブースエンコード回路が、それぞれブースセクタと対向するように配置される。

## 【 0 0 9 2 】

一方、分割アレイ DW d に対して、分割ブースエンコーダ 1 B は、第 2 次 4 : 2 加算回路 5 c を間に挟むようにさらにサブ分割ブースエンコーダ 1 B A および 1 B B に分割される。この分割アレイ DW d においては、第 2 次 4 : 2 加算回路 2 のビット幅は、ブースセクタのビット幅と同じであり、この第 2 次 4 : 2 加算回路 5 a に対面する領域をブースエンコード回路配置領域として利用することができる。したがってこの分割ブースエンコーダ 1 B においては、各ブースエンコード回路のサイズを同じとし、基本レイアウトを有する回路セルを規則的に配置して、設計およびレイアウトを容易とし、また、第 2 次 4 : 2 加算回路 5 c を間に挟むように分割サブブースエンコーダ 1 B A および 1 B B を配置する。これにより、分割アレイ DW b の加算回路の突出領域を利用して効率的にブースエンコーダを配置することができる。また、乗算装置自体のはみ出し領域がなく、小占有面積の乗算装置が実現される。

## 【 0 0 9 3 】

この分割アレイDWbにおいて、ブースセクタ3 $\alpha$  - 3 $\alpha$ および加算回路の一方端部は、分割アレイ境界領域においては整列して配置される。

【0094】

また、被乗数レジスタ回路2の突出もできるだけ避けるために、長さの短い分割ブースエンコーダ1Bと対面するように、この被乗数レジスタ回路2が配置される。

【0095】

分割アレイDWdおよびDWcに対し共通に最終加算回路7が配置される。

この図8に示す乗算装置の構成においては、分割アレイDWdおよびDWcにおいて信号の伝搬方向はすべて同じであり、最終加算回路7に向かって加算結果が伝達される。しかしながら、分割アレイDWcおよびDWdは個々に部分積加算演算を行っており、そのクリティカルパスは、分割アレイDWcおよびDWdそれぞれにおけるクリティカルパスで与えられる。したがって、この分割アレイDWdおよびDWcを並列に配置する構成においても、クリティカルパスの配線長は、従来の装置に比べて半減され、高速の乗算を実現することができる。

【0096】

なおこの図8に示す構成において、乗数Yの部分乗数YAおよびYBは、いずれが上位ビットであってもよい。また、被乗数レジスタ回路2においていずれが上位ビット側であってもよい。分割ブースエンコーダ1Aおよび1Bにおいては、この最終加算回路7に近い位置が、上位ビット位置となる。

【0097】

以上のように、この発明の実施の形態6に従えば、乗算アレイの分割アレイに分割して並列に配置し、その分割アレイの加算回路のはみ出し領域に対面してブースエンコーダを分割して配置しており、クリティカルパスが半減されて、高速乗算が行なわれる乗算装置が実現される。また、この分割アレイのはみ出し領域に一方端を整列させて分割エンコーダを配置しており、面積利用効率の優れた小占有面積の乗算装置を実現することができる。

【0098】

〔実施の形態7〕

図9は、この発明の実施の形態7に従う乗算装置の構成を概略的に示す図である。図7においても、乗算アレイが、分割アレイDWcおよびDWdに分割され、これらの分割アレイDWcおよびDWdが並列に配置される。被乗数レジスタ回路2が、分割アレイDWdのブースセクタ3oに対面して配置され、これらの分割アレイDWcおよびDWdに共通に被乗数Xのデータを与える。分割アレイDWcおよびDWdは、これらの互いに対向する端部（境界領域から離れた端部）が整列して配置される。すなわち分割アレイDWcにおいては、ブースセクタ3a-3n、4:2加算回路4a-4d、5a、5bおよび6aの境界領域から離れた端部が整列して配置される。分割アレイの境界領域に、加算回路のはみ出し領域が存在する。分割アレイDWdにおいても、同様、ブースセクタ3o-3α、4:2加算回路4e-4g、5dおよび6aの分割アレイ境界領域から離れた端部が整列して配置される。分割アレイ境界領域においては、この加算回路のはみ出し領域が存在する。これらの分割アレイDWcおよびDWdそれぞれに対面して、この分割アレイ境界領域に分割ブースエンコーダ1Aおよび1Bが配置される。分割ブースエンコーダ1Aは、先の図8に示す構成と同様、この分割アレイDWcの不規則なはみ出し領域に応じて、そのブースエンコード回路のレイアウトが調整される。したがって、この分割ブースエンコーダ1Aは、分割アレイDWcのはみ出し領域に対応して凹み領域を有し、また分割アレイDWcの後退領域に対応してはみ出し領域を有する。

## 【0099】

一方、分割アレイDWdに対面して、この分割アレイ境界領域に配置される分割ブースエンコーダ1Bは、第1次4:2加算回路4fを間に挟むようにサブブースエンコーダ1BAおよび1BBにさらに分割される。分割ブースエンコーダ1Aおよび1Bの互いに対面する端部は、それぞれ整列して配置される。

## 【0100】

この図9に示す構成においても、分割アレイDWcおよびDWdの構成は図8に示す構成と同じであり、クリティカルパスの配線長が低減され、高速乗算が可能となる。

## 【0101】



また、この分割アレイ境界領域にブースエンコーダ 1 を配置することにより、この境界領域に乗数 Y のデータを伝達する配線を集中して配設することができ、乗数 Y のデータビットを伝達する信号線のレイアウトが容易となる。

#### 【 0 1 0 2 】

また、分割アレイ DW c および DW d の境界領域と対向する端部が整列して配置されており、この乗算装置内における空き領域が低減され、面積利用効率の優れた乗算装置を実現することができる。

#### 【 0 1 0 3 】

##### 〔実施の形態 8〕

図 1 0 は、この発明の実施の形態 8 に従う乗算装置の全体の構成を概略的に示す図である。この図 1 0 に示す乗算装置は、図 8 に示す乗算装置と、以下の点においてその構成が異なっている。すなわち、分割アレイ DW c および DW d の間の領域に、被乗数 X データを格納する被乗数レジスタ回路 2 が配置される。この被乗数レジスタ回路 2 は、分割アレイ DW c および DW d の高さ方向にできるだけ合わせるため、複数列（2 列）に配置されるレジスタを備える分割構造とされる。

#### 【 0 1 0 4 】

他の構成は、図 8 に示す構成と同じである。

この図 1 0 に示す構成に従えば、被乗数レジスタ回路 2 から、分割アレイ DW c および DW d におけるブースセクタへの配線長が等しくなる。したがって、分割アレイ DW c および DW d におけるクリティカルパスの配線遅延を等しくすることができ（図中矢印で示す）、分割アレイ DW c および DW d のクリティカルパスの配線長を実質的に等しくすることにより（二等分割した場合）、より高速の乗算を行なうことができる。また、図 8 に示す乗算装置と同様の効果が得られる。

#### 【 0 1 0 5 】

##### 〔実施の形態 9〕

図 1 1 はこの発明の実施の形態 9 に従う乗算装置の全体の構成を概略的に示す図である。この図 1 1 に示す乗算装置は、図 9 に示す乗算装置と以下の点におい

てその構成が異なる。すなわち、分割アレイ DW d および DW c の境界領域において、分割ブースエンコーダ 1 A および 1 B の間に、被乗数レジスタ回路 2 が配置される。この被乗数レジスタ回路 2 は、高さを、分割アレイ DW c および DW d に合わせるため、レジスタ（被乗数 X の各ビットを格納するレジスタ）が複数列（2 列）に整列して配置される。他の構成は図 9 に示す構成と同じである。

#### 【 0 1 0 6 】

この図 1 1 に示す構成の場合においても、被乗数 X を格納する被乗数レジスタ回路 2 の出力データビットは、分割アレイ DW c および DW d に対し、その配線長を等しくすることができる。したがってこの分割アレイ DW c および DW d が、ほぼ二等分割される場合、これらの分割アレイ DW c および DW d のクリティカルパスの配線長をほぼ等しくすることができ、このクリティカルパスの配線長のアンバランスに起因する演算の遅れ（タイミングの待ち合わせ等）をなくすことができ、高速で乗算を行なう乗算装置を得ることができる。また、先の図 9 に示す構成と同様の効果も得ることができる。

#### 【 0 1 0 7 】

##### 〔他の適用例〕

上述の実施の形態の説明においては、2 次のブースアルゴリズムが用いられている。しかしながら、このブースアルゴリズムは、たとえば 3 次のブースアルゴリズムなどの他の次数のブースアルゴリズムであってもよい。

#### 【 0 1 0 8 】

また、単に、ブースアルゴリズムを利用せずに、ワレスツリーのみを用いる乗算装置であってもブースエンコーダおよび被乗数レジスタの配置は適用可能である。

#### 【 0 1 0 9 】

実施の形態 6 から 9 のように、並列に分割アレイを配置する場合、生成される部分積の上位ビット位置は、いずれであってもよい。最下位ビット端で、その各回路の端部が整列して配置されてもよく、また最上位ビット側で、各回路の端部が整列して配置されてもよい。分割アレイ DW d および DW c においては、最終加算回路 7 において加算結果（積）Z を生成するために、部分積のビット位置は

線対称ではなく、並行移動の形、すなわち分割アレイ境界側で、一方の分割アレイが最下位ビット位置、他方の分割アレイにおいては最上位ビット位置となり、対向する端部は、その逆となる。

【 0 1 1 0 】

また、分割アレイに分割する乗数ビットの位置は任意であり、クリティカルパスが短縮されればよい。

【 0 1 1 1 】

【発明の効果】

以上のように、この発明に従えば、乗算装置のクリティカルパスを分割アレイ構成により短縮することができ、高速で乗算を行なうことのできる乗算装置を実現することができる。また、分割アレイ構成により、部分積加算回路のはみ出し部分の分布を規則的にすることができ、このはみ出し領域に、ブースエンコーダを容易にレイアウトすることができ、乗算装置のサイズを低減することができる。

【 0 1 1 2 】

すなわち、請求項 1 に係る発明に従えば、ブースアルゴリズムに従って乗算を行なうワレスツリー型乗算アレイを、乗数の特定のビット位置で分割し、分割アレイそれぞれにおいて部分積を生成するように構成しているため、部分積加算結果の伝搬経路のクリティカルパスの配線長を短くすることができ、高速で乗算を行なうことのできる乗算装置を得ることができる。

【 0 1 1 3 】

請求項 2 に係る発明に従えば、最終加算回路を分割アレイの間に配置しており、この最終加算回路に向かって各分割アレイが加算結果信号を伝搬しており、最終部分積を最終加算回路へ伝達する経路が短くなり、高速で乗算を行なうことができる。

【 0 1 1 4 】

請求項 3 に係る発明に従えば、ブースエンコーダを、部分積加算回路のはみ出し領域に対面して配置しており、乗算装置の面積を有効に利用することができ、乗算装置のサイズを低減することができる。

## 【 0 1 1 5 】

請求項 4 に係る発明に従えば、ブースエンコーダが最終加算回路を間に挟むようにさらに分割されており、より乗算装置のサイズを低減することができる。

## 【 0 1 1 6 】

請求項 5 に係る発明に従えば、被乗数を発生する被乗数発生回路を分割アレイの間に配置しており、分割アレイへの被乗数発生回路からの配線長が等しくなり、この分割アレイに対する信号伝搬のクリティカルパスの遅延を等しくすることができ、タイミングマージンを大きくすることができる。

## 【 0 1 1 7 】

請求項 6 に係る発明に従えば、分割アレイを並列に配置しており、加算結果信号伝搬のクリティカルパスの配線長を短くすることができ、応じて高速で乗算する乗算装置を得ることができる。

## 【 0 1 1 8 】

請求項 7 に係る発明に従えば、ブースエンコーダを分割アレイ各々に対面するように分割して配置しており、各分割アレイに対する、ブースエンコード信号（選択制御信号）の伝搬遅延を等しくすることができる。また、分割アレイおよび分割ブースエンコーダを整列して配置することができ、小サイズの乗算装置を得ることができる。

## 【 0 1 1 9 】

請求項 8 に係る発明に従えば、分割アレイに対応してブースエンコーダを分割し、かつ対応の分割アレイの部分積加算回路のはみ出し領域に対面して分割ブースエンコーダを配置しており、乗算装置の面積を効率的に利用して、小サイズの乗算装置を実現することができる。

## 【 0 1 2 0 】

請求項 9 に係る発明に従えば、分割ブースエンコーダを、分割アレイの両側に配置しており、乗算装置の部分積加算回路のはみ出し領域を有効に利用し、ブースエンコーダを配置して、小サイズの乗算装置を実現することができる。

## 【 0 1 2 1 】

請求項 1 0 に係る発明に従えば、分割ブースエンコーダを分割アレイの間に配

置しており、分割ブースエンコーダへ乗算を与える配線のレイアウトが集中的にこの分割アレイ領域に配置することができ、配線レイアウトが容易となる。

【0 1 2 2】

請求項 1 1 に係る発明に従えば、被乗数データを発生する回路を分割アレイの一方側に対面して配置しており、通常の乗算アレイの被乗数データ発生回路のレイアウトを利用することができる。

【0 1 2 3】

請求項 1 2 に係る発明に従えば、被乗数データ発生回路を分割アレイの間の領域に配置しており、分割アレイに対する被乗数データの伝搬遅延を各分割アレイに対して等しくすることができる。

【0 1 2 4】

請求項 1 3 に係る発明に従えば、分割被乗数データ発生回路を分割アレイの間の領域に配置しており、各分割アレイに対する被乗数データの伝搬遅延を分割アレイそれぞれに対し等しくすることができる。

【0 1 2 5】

請求項 1 4 に係る発明に従えば、分割エンコーダに隣接して被乗数データ発生回路を配置しており、配線をこの領域に集中させることができ、配線レイアウトが簡略化される。

【0 1 2 6】

請求項 1 5 に係る発明に従えば、被乗数発生回路を分割アレイの高さに合わせて分割構造としており、小占有面積の乗算装置が得られる。

【0 1 2 7】

請求項 1 6 に係る発明に従えば、分割アレイに共通に最終加算回路を設けており、各分割アレイから最終加算回路への信号伝搬遅延を最小とすることができ、高速乗算をする乗算回路を得ることができる。

【図面の簡単な説明】

【図 1】 (A) および (B) は、この発明の実施の形態 1 に従う乗算装置の原理的構成を示す図である。

【図 2】 この発明の実施の形態 2 に従う乗算装置の全体の構成を概略的に

示す図である。

【図 3】 図 2 に示す乗算装置の分割アレイの加算ツリーを示す図である。

【図 4】 図 2 に示す乗算装置の下方分割アレイの加算回路のビット幅とブースセレクタのビット幅との対応を示す図である。

【図 5】 この発明の実施の形態 3 に従う乗算装置の全体の構成を概略的に示す図である。

【図 6】 この発明の実施の形態 4 に従う乗算装置の全体の構成を概略的に示す図である。

【図 7】 この発明の実施の形態 5 に従う乗算装置の全体の構成を概略的に示す図である。

【図 8】 この発明の実施の形態 6 に従う乗算装置の全体の構成を概略的に示す図である。

【図 9】 この発明の実施の形態 7 に従う乗算装置の全体の構成を概略的に示す図である。

【図 10】 この発明の実施の形態 8 に従う乗算装置の全体の構成を概略的に示す図である。

【図 11】 この発明の実施の形態 9 に従う乗算装置の全体の構成を概略的に示す図である。

【図 12】 (A) は従来のキャリーセーブ方式並列乗算回路の構成を概略的に示し、(B) は、(A) に示す乗算単位回路の構成を概略的に示す図である。

【図 13】 従来の桁内飛越し加算型キャリーセーブ加算方式乗算回路の構成を概略的に示す図である。

【図 14】 従来の改良されたキャリーセーブ方式乗算回路の構成を概略的に示す図である。

【図 15】 従来のワレスツリー型乗算回路の構成を概略的に示す図である。

【図 16】 図 15 に示すワレスツリー部の構成を概略的に示す図である。

【図 1 7】 図 1 6 に示す加算回路の構成を概略的に示す図である。

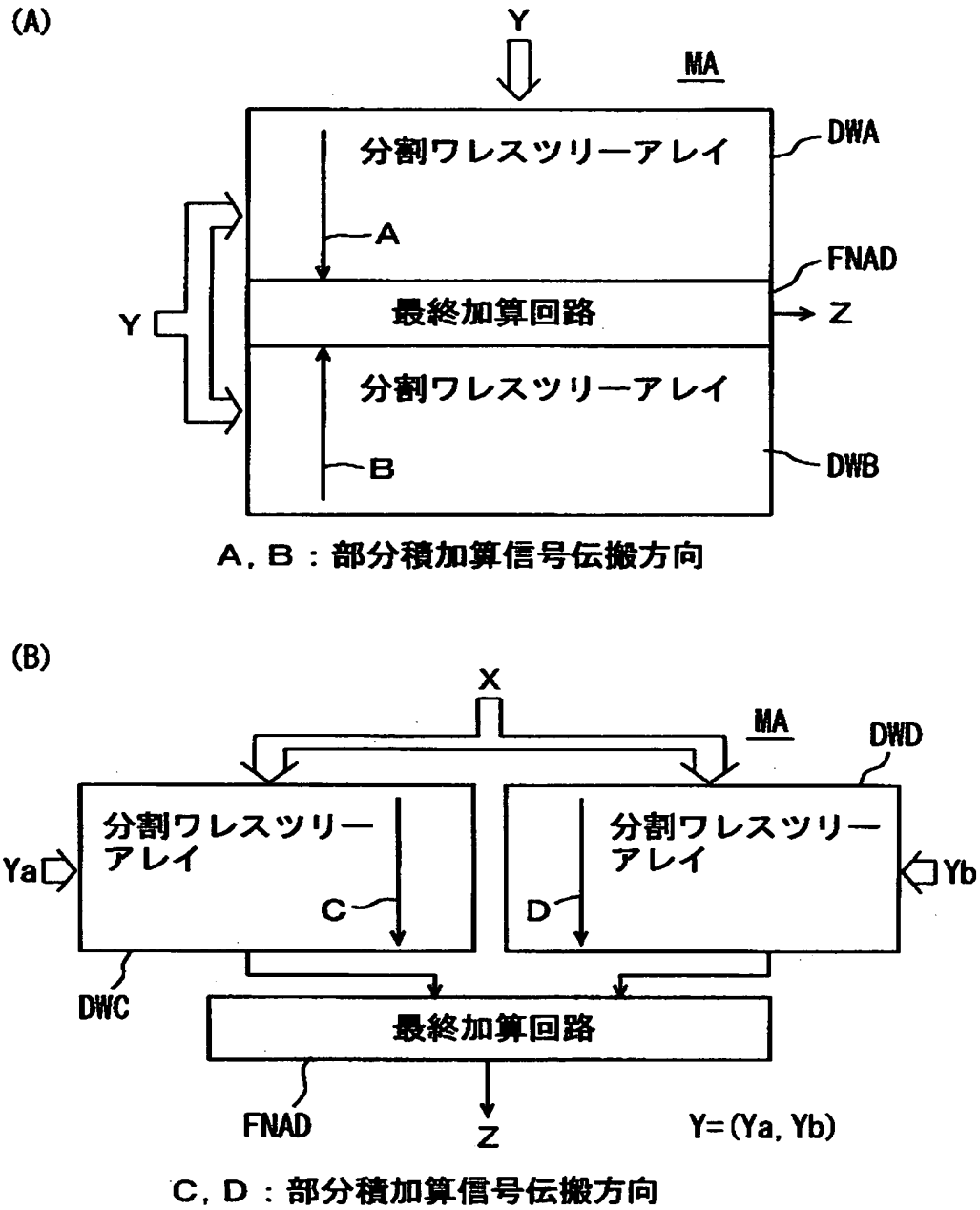
【図 1 8】 本発明が適用される 5 4 ビット乗算回路の構成を概略的に示す図である。

【符号の説明】

DWA-DWD 分割ワレスツリーアレイ、1 ブースエンコーダ、2 被乗数レジスタ回路、1 a-1  $\alpha$  ブースエンコード回路、3 a-3  $\alpha$  ブースセレクタ、4 a-4 g 第 1 次 4 : 2 加算回路、5 a-5 D 第 2 次 4 : 2 加算回路、6 a, 6 b 第 3 次 4 : 2 加算回路、7 最終加算回路、DW a-DW d 分割アレイ、1 A, 1 B 分割ブースエンコーダ、1 B A, 1 B B 分割サブブースエンコーダ。

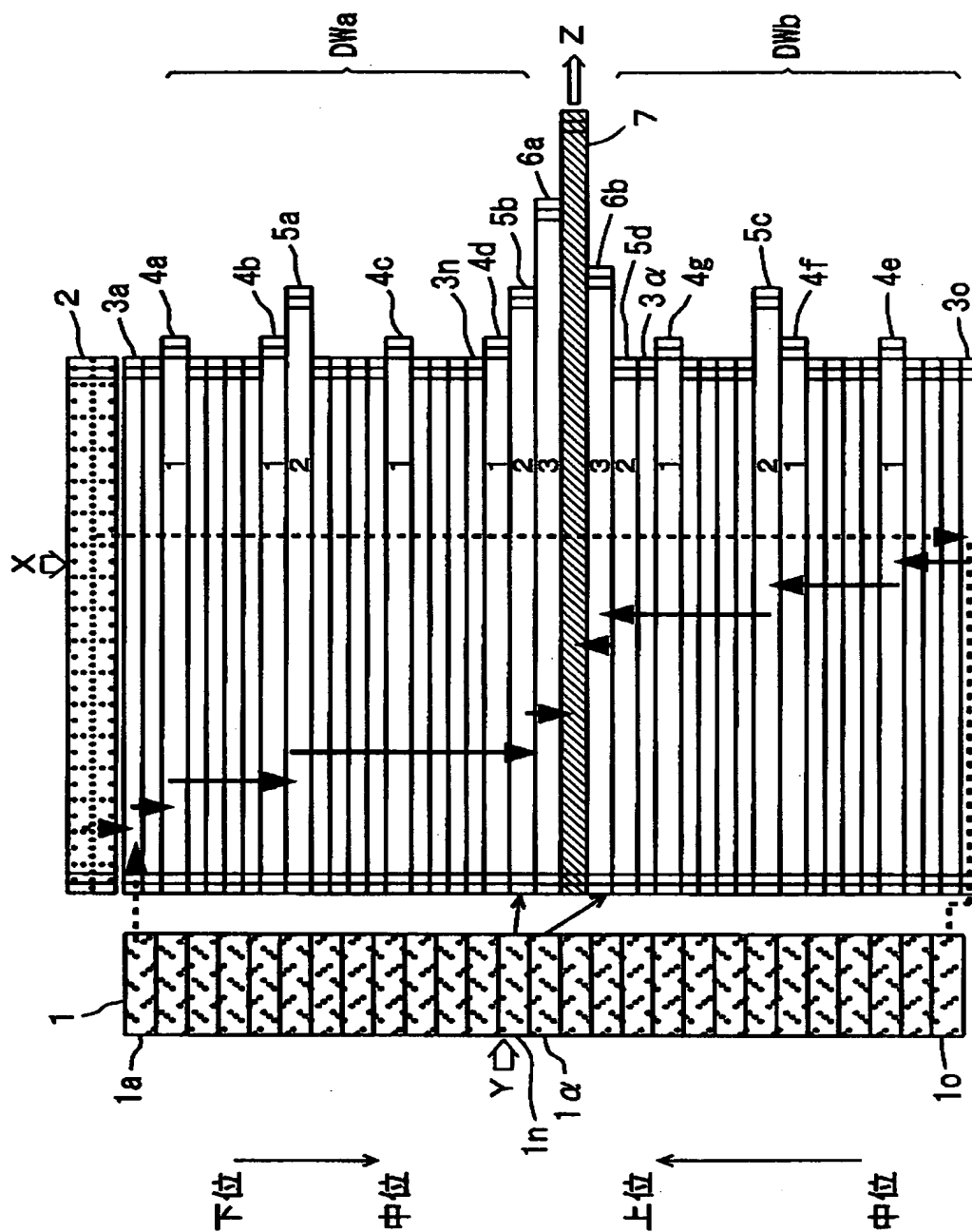
【書類名】 図面

【図 1】

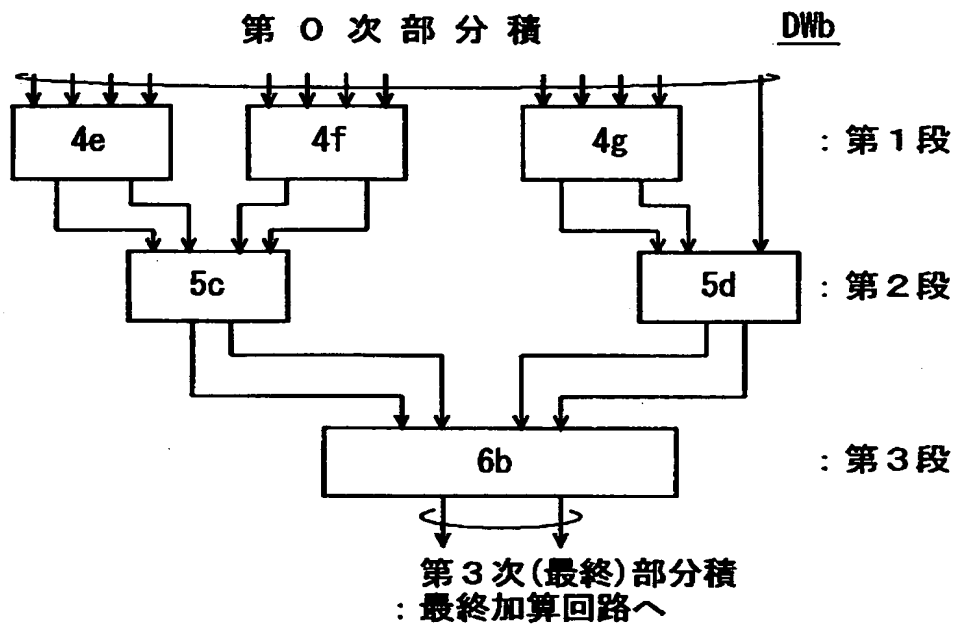




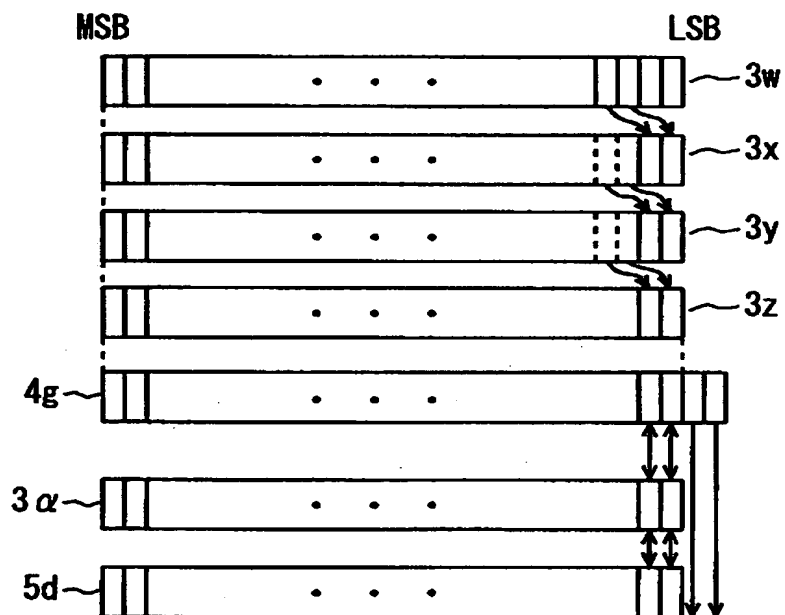
【図 2】



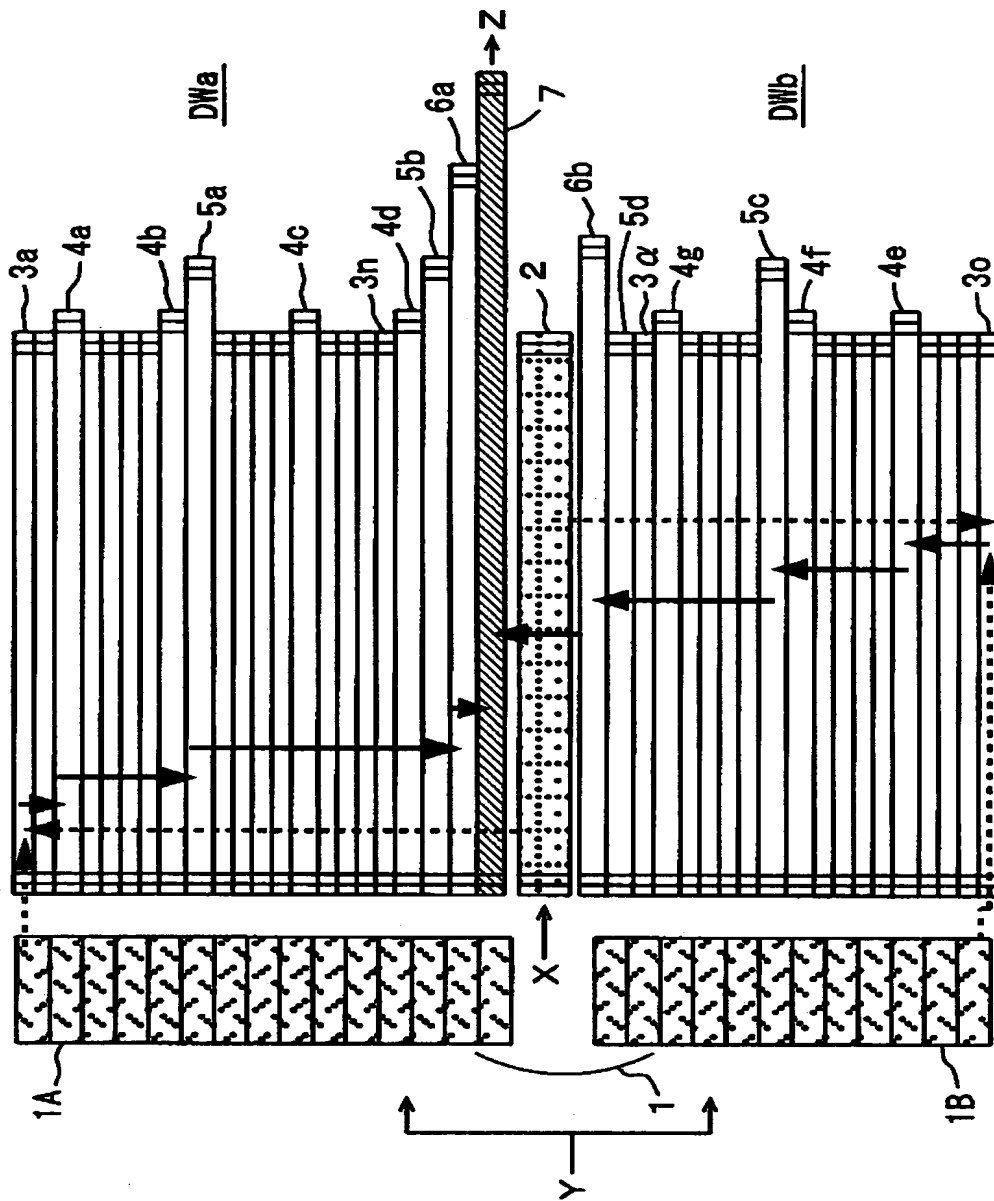
【図 3】



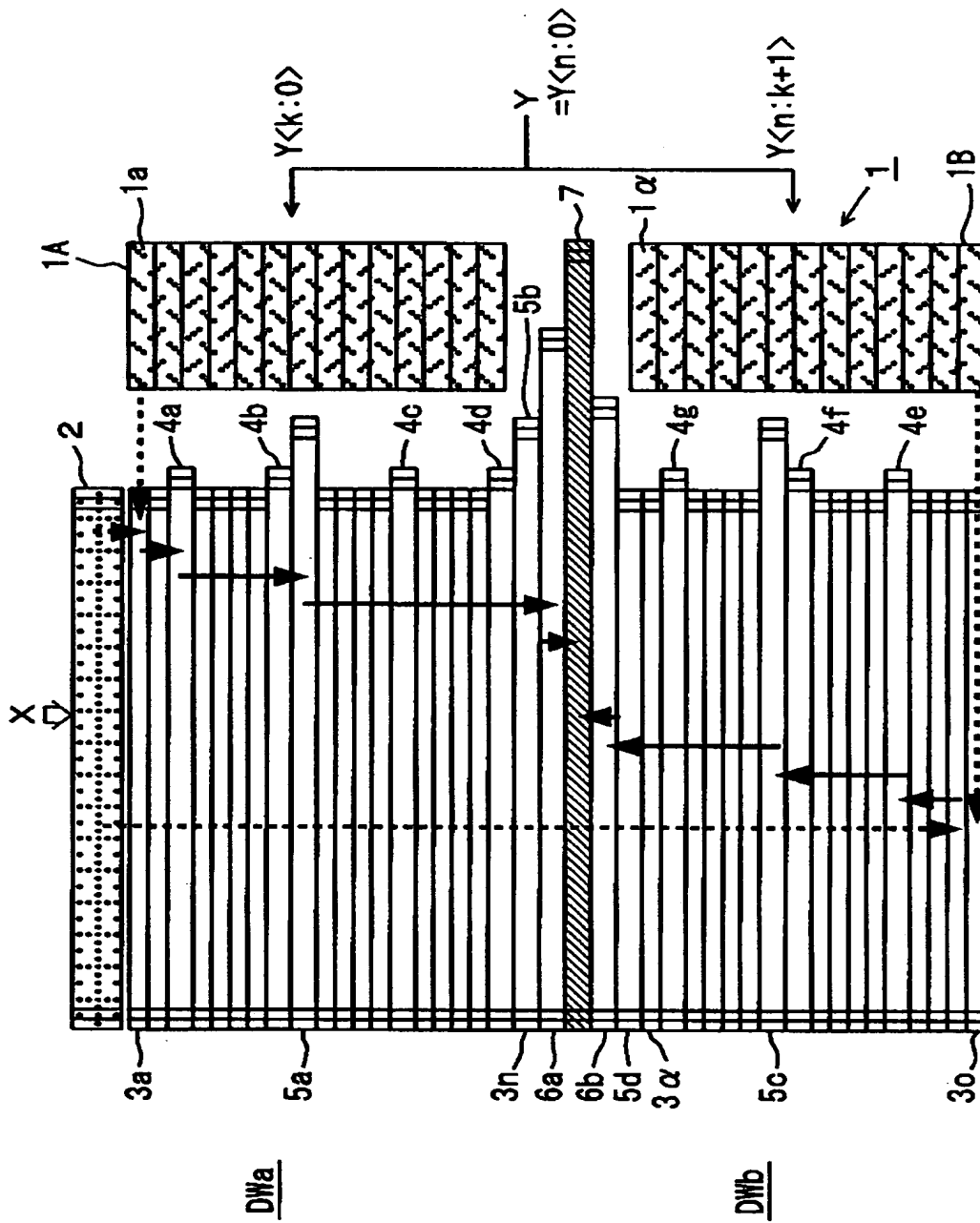
【图4】



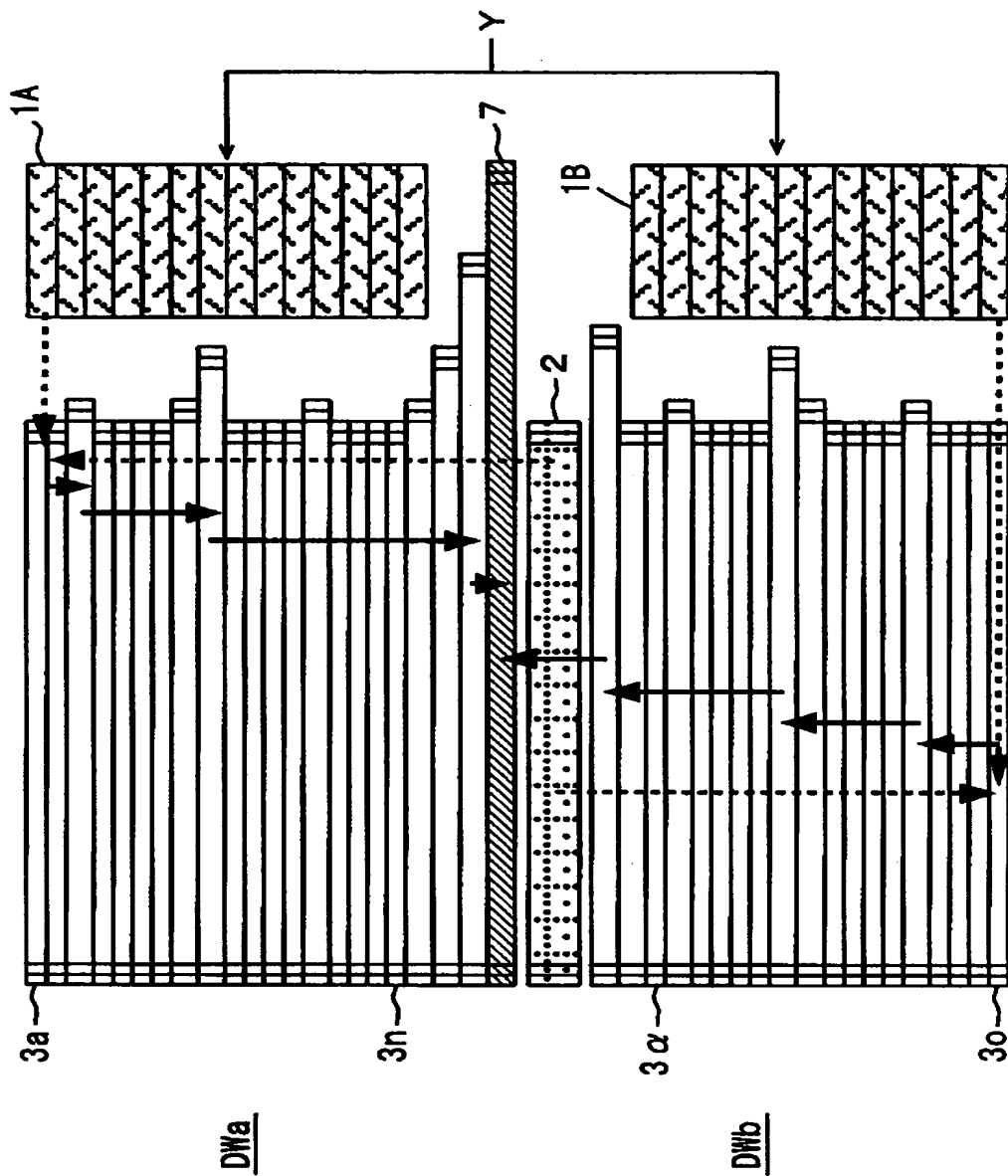
【図 5】



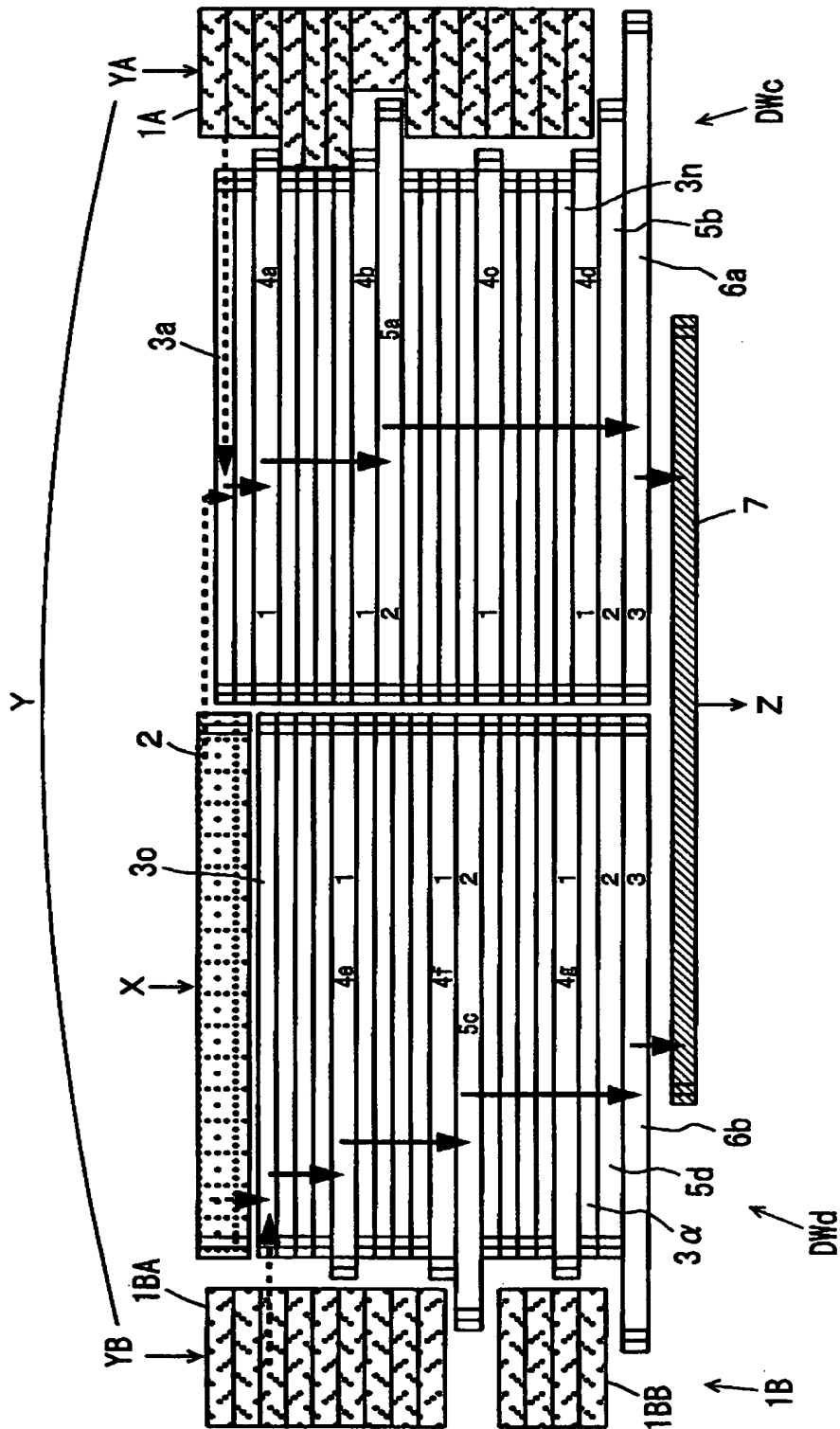
【図 6】



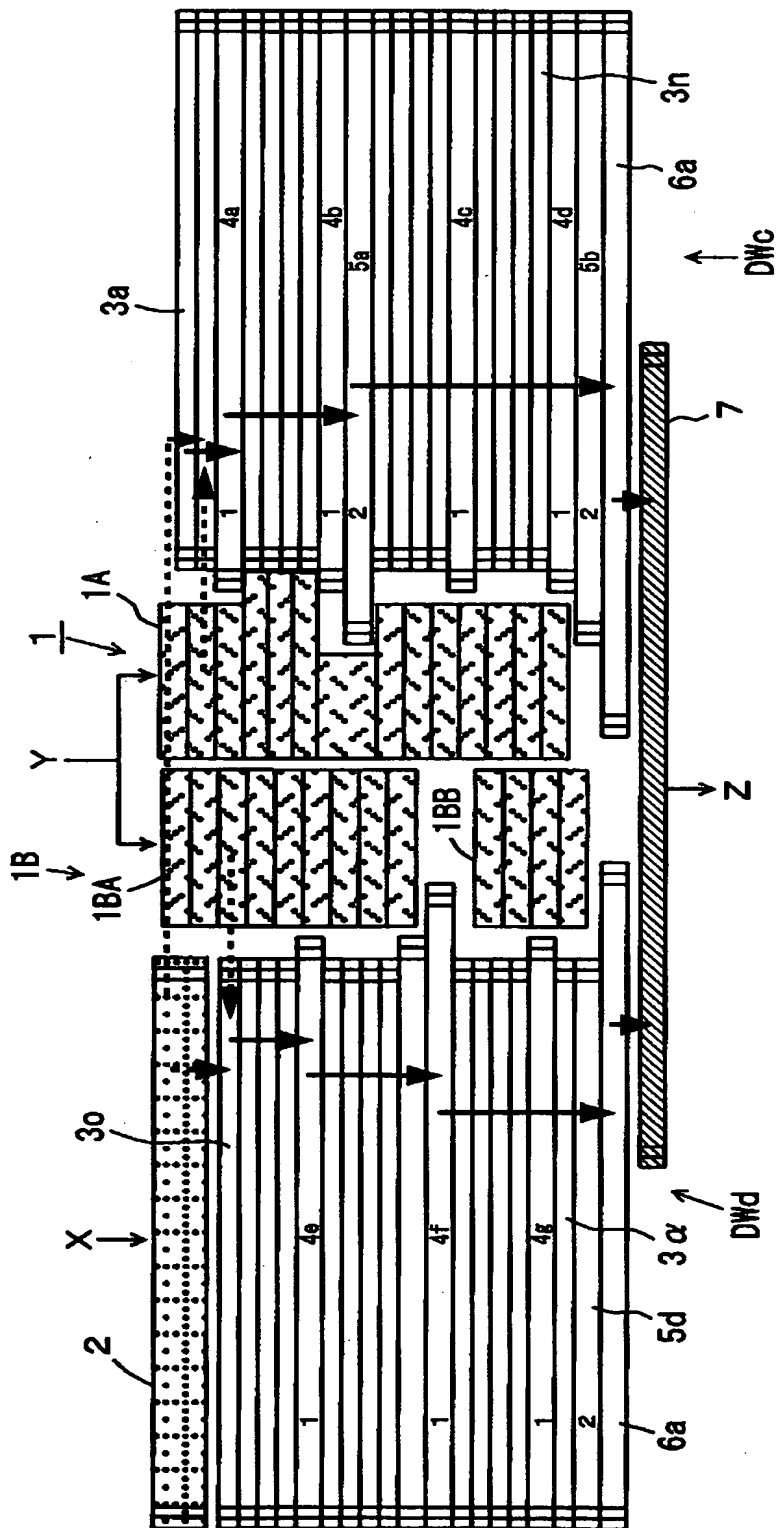
【図 7】



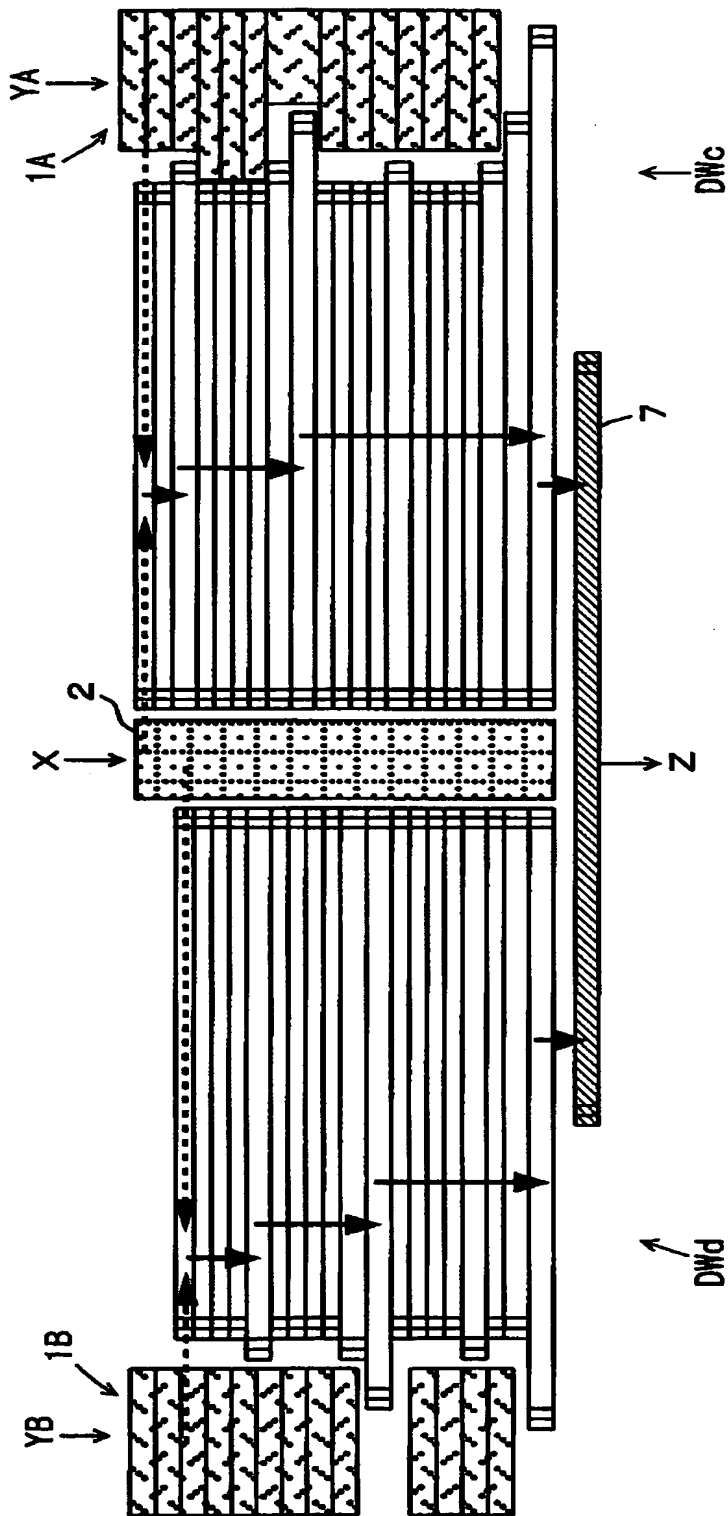
【图 8】



【図 9】

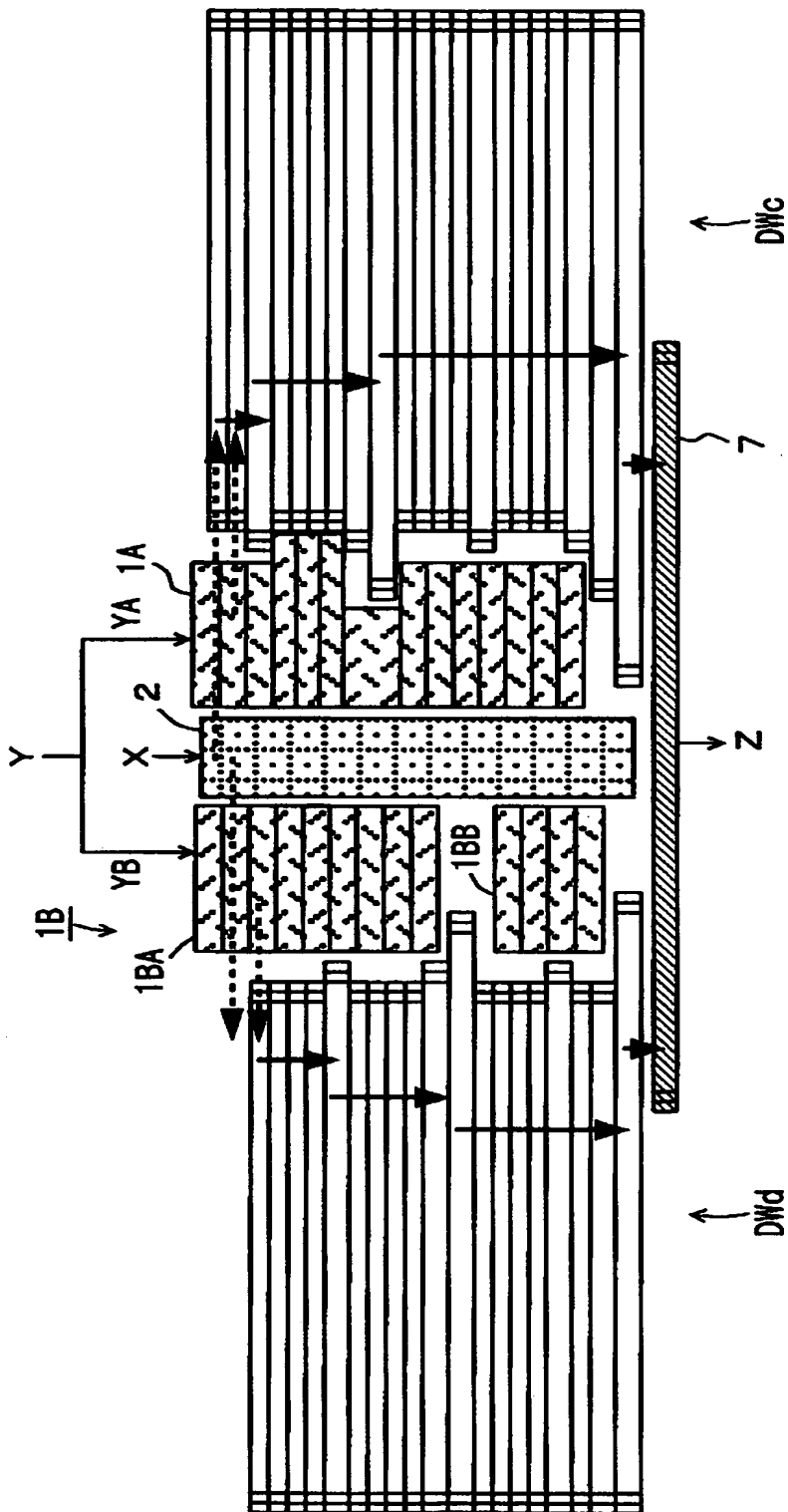


【図10】

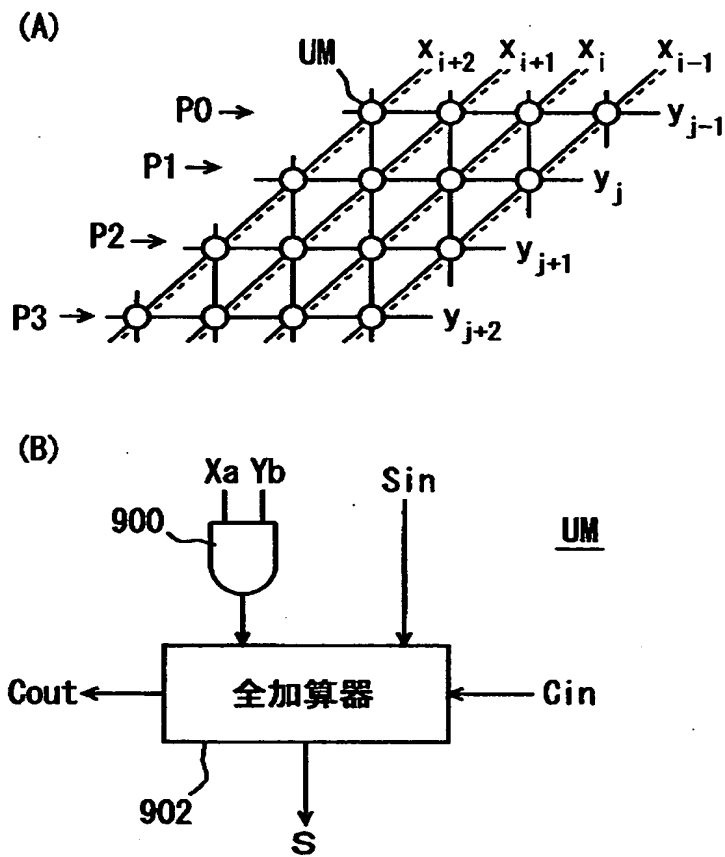




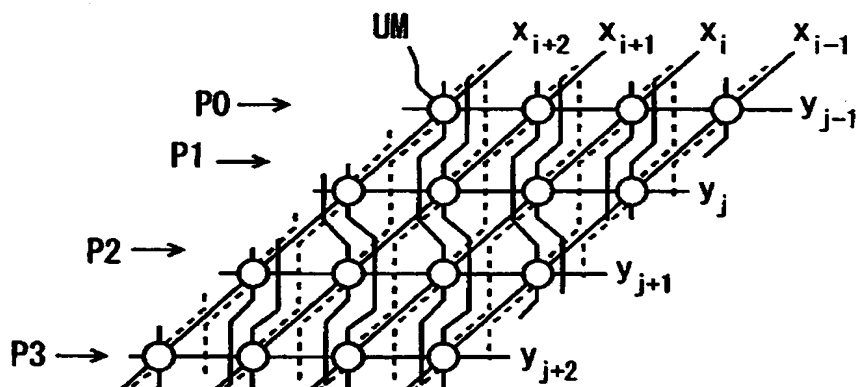
【図 1 1】



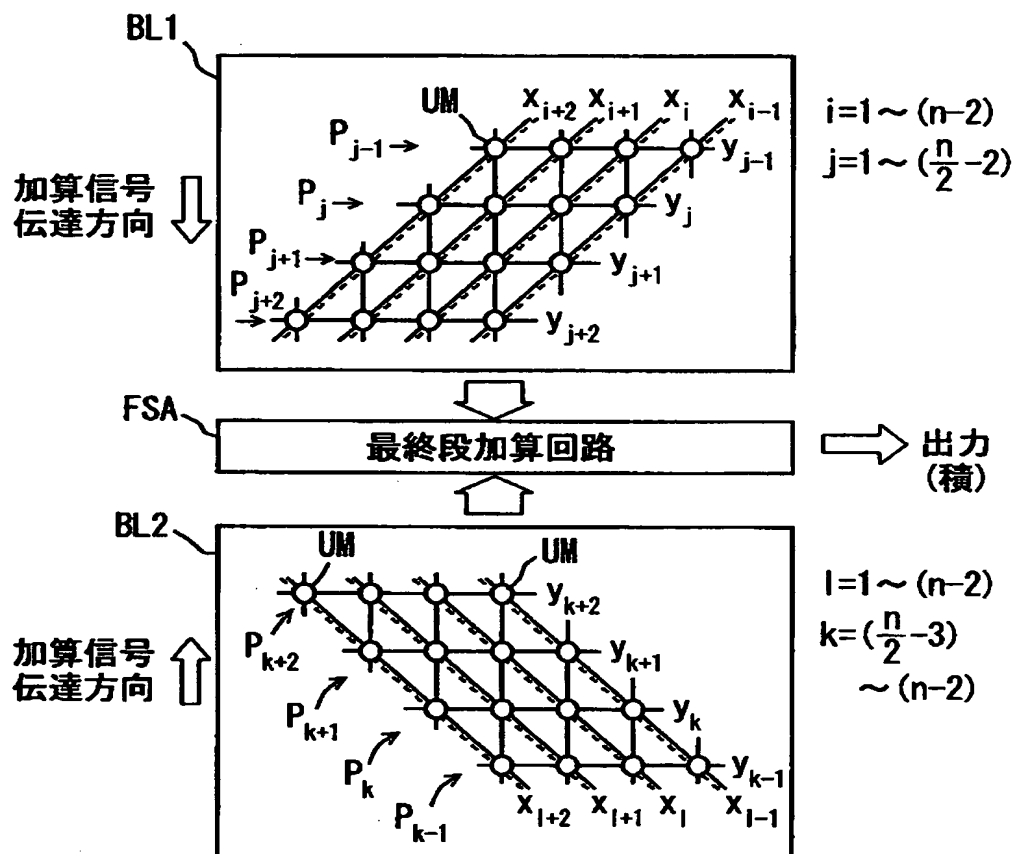
【図 1 2】



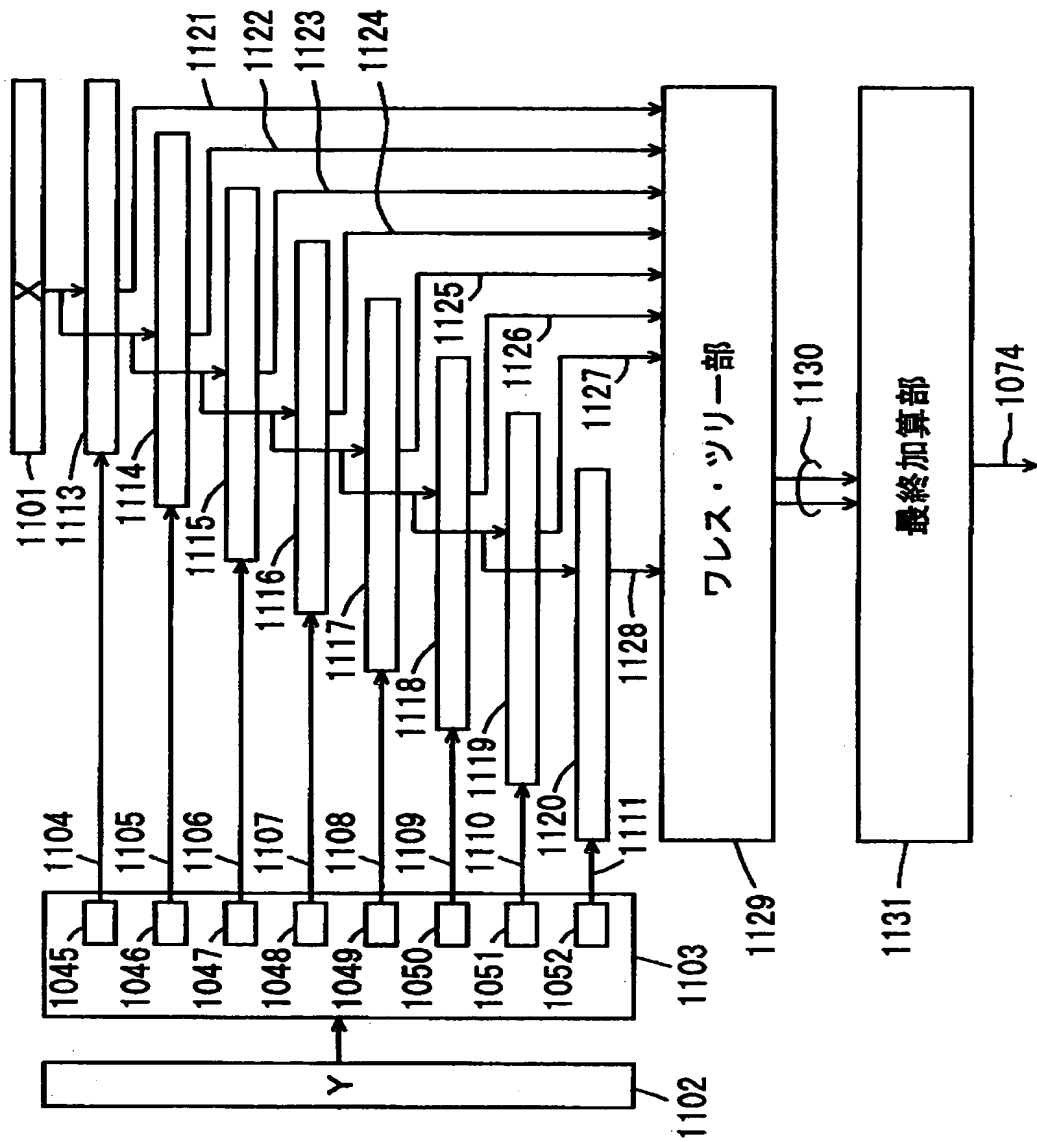
【図 1 3】



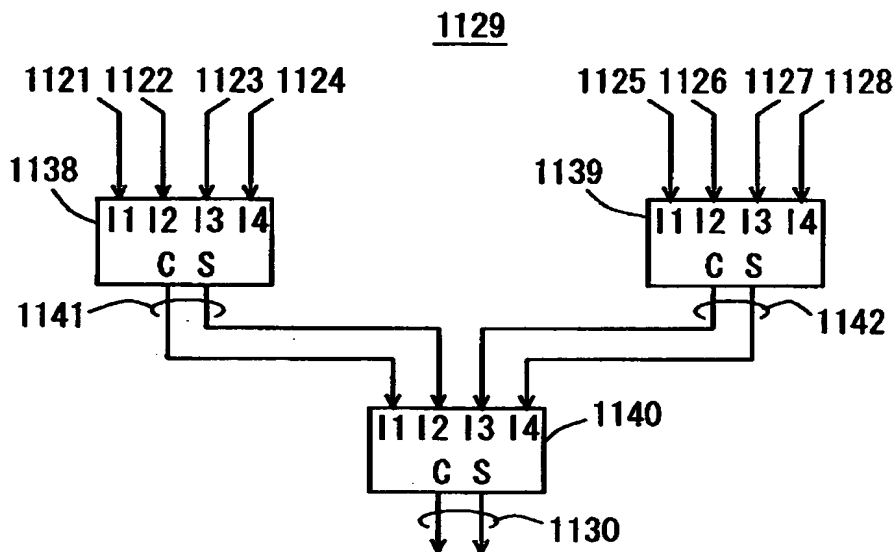
【図 1 4】



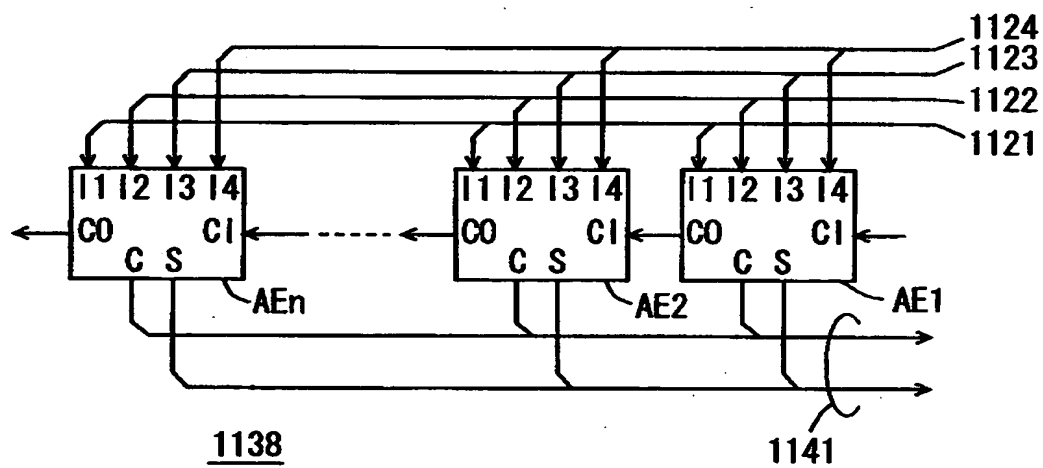
【図15】



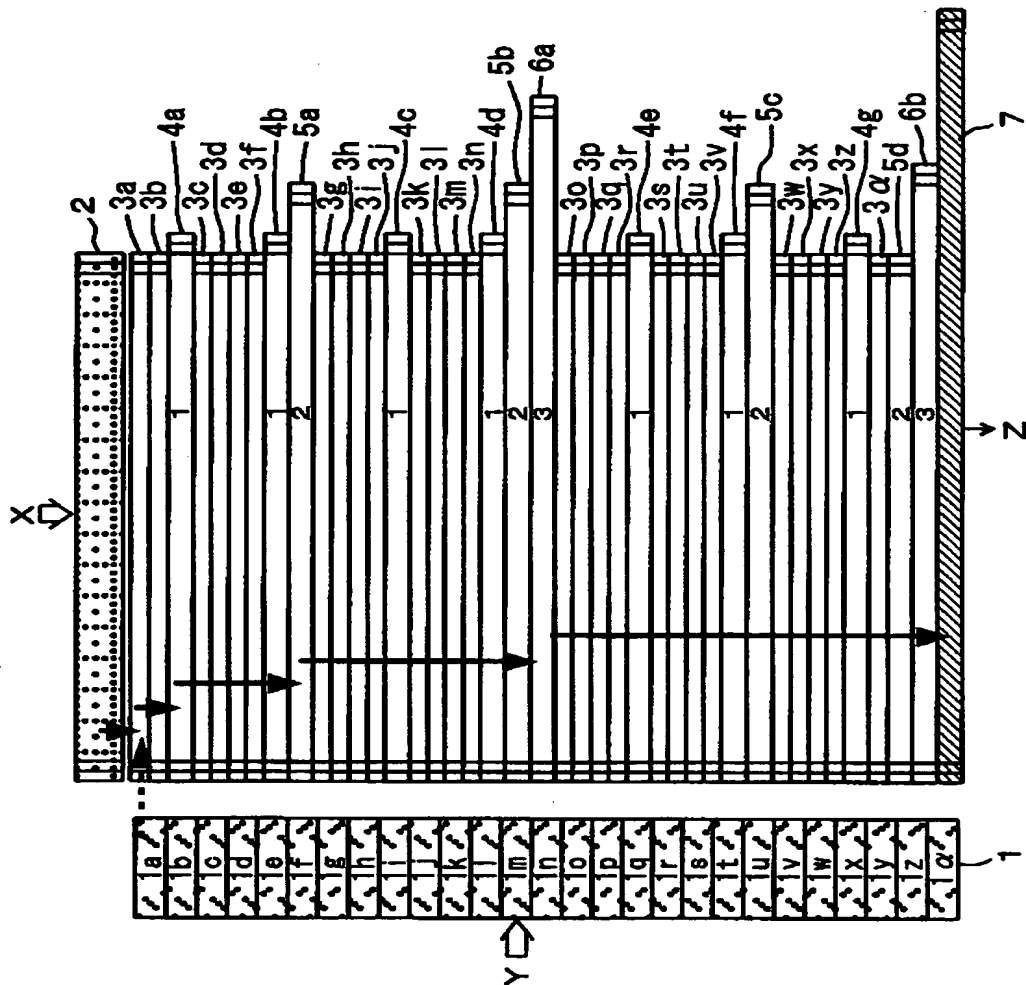
【図 16】



【図 17】



【圖 18】



【書類名】            要約書

【要約】

【課題】    乗算装置のクリティカルパスの配線長を短くする。

【解決手段】    乗算アレイ（MA）をそれぞれが個々に乗算をツリー状加算を行なうことにより実行する分割ワレスツリーアレイ（DWA-DWD）に分割し、これらの分割ワレスツリーアレイから最終加算回路（FNAD）に向かって加算結果を伝達する。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社